

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

15981889

Basic Patent (No,Kind,Date): EP 1006664 A2 20000607 <No. of Patents: 008>

DIGITAL ANALOG CONVERTER AND ELECTRONIC DEVICE USING THE SAME (English;
French; German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): AZAMI MUNEHIRO (JP); OSAME MITSUAKI (JP); SHIONOIRI
YUTAKA (JP); NAGAO SHOU (JP)

Designated States : (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR
; IE; IT; LI; LU; MC; NL; PT; SE

IPC: *H03M-001/68; H03M-001/80

Derwent WPI Acc No: G 00-368136

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1260640	A	20000719	CN 99127871	A	19991203
EP 1006664	A2	20000607	EP 99123840	A	19991201 (BASIC)
EP 1006664	A3	20031210	EP 99123840	A	19991201
JP 2000341125	A2	20001208	JP 99342592	A	19991201
US 20020163457	AA	20021107	US 43306	A	20020114
US 6420988	BA	20020716	US 449535	A	19991129
US 6606045	BB	20030812	US 43306	A	20020114
TW 548685	B	20030821	TW 88120925	A	19991130

Priority Data (No,Kind,Date):

JP 98344732 A 19981203

JP 9977846 A 19990323

JP 99342592 A 19991201

US 43306 A 20020114

US 449535 A3 19991129

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

06755260 **Image available**

D/A CONVERSION CIRCUIT AND ACTIVE MATRIX TYPE DISPLAY DEVICE

PUB. NO.: 2000-341125 [JP 2000341125 A]

PUBLISHED: December 08, 2000 (20001208)

INVENTOR(s): ASAMI MUNEHIRO

 OSAME MITSUAKI

 SHIONOIRI YUTAKA

 NAGAO SHO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 11-342592 [JP 99342592]

FILED: December 01, 1999 (19991201)

PRIORITY: 10-344732 [JP 98344732], JP (Japan), December 03, 1998
(19981203)

 11-077846 [JP 9977846], JP (Japan), March 23, 1999 (19990323)

INTL CLASS: H03M-001/68; G02F-001/133; G09G-003/20; G09G-003/36;
 H03M-001/74

ABSTRACT

PROBLEM TO BE SOLVED: To control voltage amplitude of an output, independently of a reference potential by controlling switches with the respective bits of (n)-bit digital data, controlling the charging and discharging of electric charges to capacitors connected to the respective switches, and outputting an analog signal based upon an offset voltage as the reference potential.

SOLUTION: A power source VH, a power source VL, an offset power source VB, and a power source VA are connected to a DAC. When VH)VL and when VH(VL, an analog signal which is opposite in phase is outputted to an output Vout. Switches SW0 to SWn-1 are connected to the power source VL, when input digital data D0 to Dn-1 are 0 (Lo) and to the power source VH, when the input digital data are 1 (Hi). A reset switch Res1 controls the charging of electric charges from the VB to capacitors (C,..., 2n-m-1C), corresponding to the higher-order (n-m) bits a reset switch Res2 controls are charging of electric charges from the VA to capacitors (C,..., 2m-1C) corresponding to the lower-order (m) bits.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-341125

(P2000-341125A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 3 M 1/68		H 0 3 M 1/68	
G 0 2 F 1/133		G 0 2 F 1/133	
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F
	3/36		3/36
H 0 3 M 1/74		H 0 3 M 1/74	
審査請求 未請求 請求項の数10 O L (全 45 頁)			

(21) 出願番号 特願平11-342592

(22) 出願日 平成11年12月1日 (1999.12.1)

(31) 優先権主張番号 特願平10-344732

(32) 優先日 平成10年12月3日 (1998.12.3)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-77846

(32) 優先日 平成11年3月23日 (1999.3.23)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 納 光明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 塩野入 豊

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

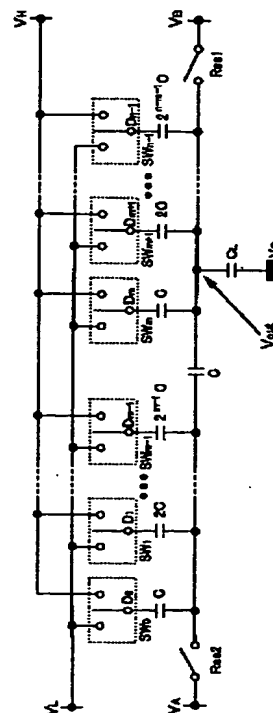
最終頁に続く

(54) 【発明の名称】 D/A変換回路およびアクティブマトリクス型表示装置

(57) 【要約】

【課題】 出力電圧振幅 V_{out} と基準電位とを独立して制御することができるD/A変換回路を提供すること。

【解決手段】 n ビットのデジタルデータ (n は自然数) をアナログ信号に変換するD/A変換回路であって、前記 n ビットのデジタルデータの各ビットは、スイッチを制御し、前記スイッチに接続された容量への電荷の充放電を制御し、オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とするD/A変換回路。



【特許請求の範囲】

【請求項 1】 n ビットのデジタルデータ (n は自然数) をアナログ信号に変換する D/A 変換回路であって、前記 n ビットのデジタルデータの各ビットは、スイッチを制御し、前記スイッチに接続された容量への電荷の充放電を制御し、

オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とする D/A 変換回路。

【請求項 2】 n ビットのデジタルデータ (n は自然数) をアナログ信号に変換する D/A 変換回路であって、前記 n ビットのデジタルデータの各ビットに対応した n 個のスイッチおよび n 個の容量を有しており、各ビットに対応した前記 n 個のスイッチは、前記 n 個のスイッチのそれぞれに接続された前記容量への電荷の充放電を制御し、

オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とする D/A 変換回路。

【請求項 3】 n ビットデジタルデータの低位 m ビット (n および m は自然数、 $m < n$) のそれぞれのビットが制御するスイッチおよび前記 n ビットデジタルデータの上位 ($n - m$) ビットのそれぞれのビットが制御するスイッチと、

前記低位 m ビットのそれぞれのビットが制御する前記スイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量と、

前記上位 ($n - m$) ビットのそれぞれのビットが制御するスイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量と、

カップリング容量と、

2つのリセットスイッチと、

を有する n ビットのデジタルデータをアナログ信号に変換する D/A 変換回路であって、

2つの電源およびオフセット電源が接続されており、前記スイッチは2つの電源のうちいずれか一を選択し、前記2つのリセットスイッチは、前記容量への電荷の充電を制御し、

前記 n ビットのデジタルビデオデータの上位 ($n - m$) ビットの容量の共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力される D/A 変換回路。

【請求項 4】 n ビットデジタルデータの低位 m ビット (n および m は自然数、 $m < n$) が制御する下位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量を有する下位ビット回路部と、

n ビットデジタルデータの上位 ($n - m$) ビットが制御する上位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量を有する

上位ビット回路部と、

前記下位ビット回路部と前記上位ビット回路部とを接続する前記単位容量でなるカップリング容量と、

2つのリセットスイッチと、

を有する D/A 変換回路であって、

2つの電源およびオフセット電源が入力されており、

前記2つのリセットスイッチは、前記下位ビット回路部のそれぞれの容量および前記上位ビット部のそれぞれの容量への電荷の充電を制御し、

10 前記上位ビット回路部のそれぞれの容量の共通接続端には、前記オフセット電源が入力されており、

前記下位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれか一を選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、

前記上位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれか一を選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、

20 前記上位ビット回路部の前記共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力される D/A 変換回路。

【請求項 5】 n ビットデジタルデータの低位 m ビット

(n および m は自然数、 $m < n$) が制御する下位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量 C の 2^{m-1} 倍である容量を有する下位ビット回路部と、

30 n ビットデジタルデータの上位 ($n - m$) ビットが制御する上位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ前記単位容量 C の 2^{n-m-1} 倍である容量を有する上位ビット回路部と、

前記下位ビット回路部と前記上位ビット回路部とを接続する前記単位容量 C でなるカップリング容量と、

2つのリセットスイッチと、

を有する D/A 変換回路であって、

2つの電源 V_H および V_L ならびにオフセット電源 V_B が入力されており、

40 前記上位ビット回路部のそれぞれの容量の共通接続端には、前記オフセット電源 V_B が入力されており、前記共通接続端から出力される出力電圧 V_{out} は、数式 (6a)、数式 (6b)、数式 (7)、および数式 (8) で示される D/A 変換回路。

【請求項 6】 n ビットのデジタルデータ (n は自然数) をアナログ信号に変換する D/A 変換回路を有するアクティブマトリクス型表示装置であって、

前記 n ビットのデジタルデータの各ビットは、スイッチを制御し、前記スイッチに接続された容量への電荷の充放電を制御し、

オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とするD/A変換回路を有するアクティブマトリクス型表示装置。

【請求項7】nビットのデジタルデータ（nは自然数）をアナログ信号に変換するD/A変換回路を有するアクティブマトリクス型表示装置であって、

前記nビットのデジタルデータの各ビットに対応したn個のスイッチおよびn個の容量を有しており、

各ビットに対応した前記n個のスイッチは、前記n個のスイッチのそれぞれに接続された前記容量への電荷の充放電を制御し、

オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とするD/A変換回路を有するアクティブマトリクス型表示装置。

【請求項8】nビットデジタルデータの下位mビット

（nおよびmは自然数、 $m < n$ ）のそれぞれのビットが制御するスイッチおよび前記nビットデジタルデータの上位（ $n - m$ ）ビットのそれぞれのビットが制御するスイッチと、

前記下位mビットのそれぞれのビットが制御する前記スイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量と、

前記上位（ $n - m$ ）ビットのそれぞれのビットが制御するスイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量と、

カップリング容量と、

2つのリセットスイッチと、

を有するnビットのデジタルデータをアナログ信号に変換するD/A変換回路を有するアクティブマトリクス型表示装置であって、

2つの電源およびオフセット電源が接続されており、前記スイッチは2つの電源のうちいずれか一を選択し、前記2つのリセットスイッチは、前記容量への電荷の充放電を制御し、

前記nビットのデジタルビデオデータの上位（ $n - m$ ）ビットの容量の共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力されるD/A変換回路を有するアクティブマトリクス型表示装置。

【請求項9】nビットデジタルデータの下位mビット

（nおよびmは自然数、 $m < n$ ）が制御する下位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量を有する下位ビット回路部と、

nビットデジタルデータの上位（ $n - m$ ）ビットが制御する上位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量を有する上位ビット回路部と、

前記下位ビット回路部と前記上位ビット回路部とを接続

する前記単位容量でなるカップリング容量と、

2つのリセットスイッチと、

を有するD/A変換回路を有するアクティブマトリクス型表示装置であって、

2つの電源およびオフセット電源が入力されており、

前記2つのリセットスイッチは、前記下位ビット回路部のそれぞれの容量および前記上位ビット部のそれぞれの容量への電荷の充電を制御し、

前記上位ビット回路部のそれぞれの容量の共通接続端に

10 は、前記オフセット電源が入力されており、

前記下位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれか一を選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、

前記上位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれか一を選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、

前記上位ビット回路部の前記共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力されるD/A変換回路を有するアクティブマトリクス型表示装置。

【請求項10】nビットデジタルデータの下位mビット（nおよびmは自然数、 $m < n$ ）が制御する下位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量Cの 2^{m-1} 倍である容量を有する下位ビット回路部と、

nビットデジタルデータの上位（ $n - m$ ）ビットが制御する上位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ前記単位容量Cの 2^{n-m-1} 倍である容量を有する上位ビット回路部と、

前記下位ビット回路部と前記上位ビット回路部とを接続する前記単位容量Cでなるカップリング容量と、

2つのリセットスイッチと、を有するD/A変換回路を有するアクティブマトリクス型表示装置であって、

2つの電源 V_H および V_L ならびにオフセット電源 V_B が入力されており、

40 前記上位ビット回路部のそれぞれの容量の共通接続端には、前記オフセット電源 V_B が入力されており、

前記共通接続端から出力される出力電圧 V_{out} は、数式（6a）、数式（6b）、数式（7）、および数式（8）で示されるD/A変換回路を有するアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、D/A変換（デジタル／アナログ変換）回路（DAC）に関する。特に、アクティブマトリクス型半導体装置の駆動回路に用いら

れるDACに関する。また、このDACを用いたアクティブマトリクス型半導体表示装置に関する。

【0002】

【従来の技術】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0003】アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0004】その中でも、表示装置の高精細化、高画質化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0005】

【発明が解決しようとする課題】

【0006】デジタル駆動方式のアクティブマトリクス型液晶表示装置には、外部から入力されるデジタルビデオデータをアナログ信号(階調電圧)に変換するD/A変換回路(DAC)が必要である。D/A変換回路には、様々な種類のものが存在するが、ここで、アクティブマトリクス型液晶表示装置に用いられているDACの例を示す。

【0007】図25を参照する。図25には、従来のDACの一例が示されている。図25に示す従来のDACは、nビットのデジタルデータ(D₀～D_{n-1})の各ビットが制御するn個のスイッチ(SW₀～SW_{n-1})と、各スイッチ(SW₀～SW_{n-1})に接続された容量(C、2C、・・・、2ⁿ⁻¹C)と、リセットスイッチ(Res)とを有している。また、この従来のDACには、電源V_H、電源V_Lが接続されている。また、容量C_Lは出力V_{out}に接続されている信号線の負荷容量である。なお、グランド電源をV_Gとする。ただし、V_Gは任意の定電源でもかまわない。

【0008】スイッチ(SW₀～SW_{n-1})は、それぞれ、入力されるデジタルデータ(D₀～D_{n-1})の対応す

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + \dots + 2^{n-1}\overline{D}_{n-1}) \quad \dots(21a)$$

$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + \dots + 2^{n-1}D_{n-1}) \quad \dots(21b)$$

【0017】であるので、V_{out}における電荷の保存法則により、

【0018】

【数4】

$$Q_L^0 = Q_L - Q_0 - Q_1 \quad \dots(23)$$

【0019】が成り立ち、出力V_{out}は下記数式(24)のようになる。

るビットが0(L_o)の時、電源V_Lに接続され、対応するビットが1(H_i)の時、電源V_Hに接続されるようになっている。

【0009】この従来のDACの動作を順を追って説明する。この従来のDACの動作は、リセット期間T_Rとデータ入力期間T_Eとに分けて説明される。

【0010】まず、リセット期間T_R中、リセットスイッチResが閉じ、かつデジタルデータの全ビット(D₀～D_{n-1})が0(L_o)となり、全てのスイッチ(SW₀～SW_{n-1})が電源V_Lに接続される。この状態における、この従来のDACの等価回路を図26(A)に示す。

【0011】リセット期間T_R終了後、デジタルデータの全ビット(D₀～D_{n-1})が0(L_o)であるので、図26(A)に示す負荷容量C_Lに蓄えられる電荷の初期値Q_L⁰は、下記の数式(19)のようになる。

【0012】

【数1】

$$Q_L^0 = c_L \cdot (V_L - V_G) \quad \dots(19)$$

【0013】リセット期間T_R終了後、データ書き込み期間T_Eが始まり、任意のビット情報を有するデジタルデータ(D₀～D_{n-1})が、スイッチ(SW₀～SW_{n-1})を制御する。そして、各ビット情報に応じた電荷が充放電され、その後定常状態になる。この時の等価回路を図26(B)に示す。この時、合成容量C₀、C₁、C_Lに蓄えられる電荷Q₀、Q₁、Q_Lは、下記の数式(20a)～(20c)のようになる。

【0014】

【数2】

$$Q_0 = c_0 \cdot (V_L - V_{out}) \quad \dots(20a)$$

$$Q_1 = c_1 \cdot (V_H - V_{out}) \quad \dots(20b)$$

$$Q_L = c_L \cdot (V_{out} - V_G) \quad \dots(20c)$$

【0015】ここで、

【0016】

【数3】

【0020】

【数5】

$$V_{out} = V_L + \frac{c_1 \cdot \alpha \cdot (V_H - V_L)}{(2^n - 1) \cdot c} \quad \dots(24)$$

【0021】ただし、

【0022】

【数6】

$$\alpha = \frac{1}{1 + \frac{1}{2^n - 1} \cdot \frac{c_L}{c}} \quad \dots(25)$$

【0023】である。 α は出力 V_{out} の最大電圧振幅と入力電圧振幅($V_H - V_L$)との比(本明細書では電圧圧縮率とよぶ)である。図26(C)に示す様に、出力 V_{out} はデジタルデータのアドレス($0 \sim 2^n - 1$)に対して線形関係にあることがわかる。しかし、数式(24)より、出力 V_{out} は V_H と V_L との差に依存し、かつ V_L を基準電位としてデジタルデータのアドレスに対して線形的に変化するので、出力 V_{out} の電圧振幅と基準電位とを独立して制御することができない。

【0024】次に、別の従来のDACの例を図27に示す。図27の従来のDACは、 n ビットのデジタルデータ($D_0 \sim D_{n-1}$)の各ビットが制御する n 個のスイッチ($SW_0 \sim SW_{n-1}$)と、各スイッチ($SW_0 \sim SW_{n-1}$)に接続された容量($C, 2C, \dots, 2^{n-1}C, C, 2C, \dots, 2^{n-1}C$)と、2つのリセットスイッチ($Res1$ および $Res2$)と、カップリング容量とを有している。また、この従来のDACには、電源 V_H 、電源 V_L が接続されている。

$$V_{out} = V_L + \frac{c_1}{(2^n - 1) \cdot c} \cdot \alpha_A \cdot (V_H - V_L) \quad \dots(26)$$

【0029】また、図28の従来のDACの出力 V_{out} は、下記の数式(27)のようになる。

$$V_{out} = V_L + \frac{c_1}{2^n \cdot c} \cdot \alpha_B \cdot (V_H - V_L) \quad \dots(27)$$

【0031】ここで、 C_1 は上記の数式(21b)と同じであり、また、

【0032】

【数9】

$$\alpha_A = \frac{1}{1 + \frac{2^m}{2^n - 1} \cdot \frac{c_L}{c}} \quad \dots(28a)$$

$$\alpha_B = \frac{1}{1 + \frac{2^m}{2^n} \cdot \frac{c_L}{c}} \quad \dots(28b)$$

【0033】である。 α_A および α_B はともに電圧圧縮率である。これらの従来のDACにおいても、図26

(C)に示す従来のDACと同様、出力 V_{out} はデジタルデータのアドレス($0 \sim 2^n - 1$)に対して線形関係にあることがわかっている。しかし、数式(26)および(27)より、出力 V_{out} は V_H と V_L との差に依存し、かつ V_L を基準電位としてデジタルデータのアドレスに対して線形的に変化するので、出力 V_{out} の電圧振幅と基準電位とを独立して制御することができない。

【0034】

【課題を解決するための手段】

【0025】また、図28に別の従来のDACの例を示す。図28の従来のDACは、 n ビットのデジタルデータ($D_0 \sim D_{n-1}$)の各ビットが制御する n 個のスイッチ($SW_0 \sim SW_{n-1}$)と、各スイッチ($SW_0 \sim SW_{n-1}$)に接続された容量($C, 2C, \dots, 2^{n-1}C, C, 2C, \dots, 2^{n-1}C$)と、2つのリセットスイッチ($Res1$ および $Res2$)とを有している。また、図28の従来のDACには下位ビット側の回路に容量 C が接続されている点と、下位ビットに対応する回路と上位ビットに対応する回路とを接続するカップリング容量が異なる点とが図27の従来のDACとは異なっている。

【0026】図27の従来のDACおよび図28の従来のDACのいずれにおいても、スイッチ($SW_0 \sim SW_{n-1}$)は、それぞれ、入力されるデジタルデータ($D_0 \sim D_{n-1}$)が0(Lo)の時、電源 V_L に接続され、入力デジタルデータが1(Hi)の時、電源 V_H に接続されるようになっている。

【0027】図27の従来のDACの出力 V_{out} は、下記の数式(26)のようになる。

【0028】

【数7】

【0030】

【数8】

【0035】そこで、本発明は、上述の問題に鑑みてなされたものであり、出力 V_{out} の電圧振幅と基準電位とを独立して制御することができるDACを提供することにある。以下に本発明のDACについて説明する。

【0036】本発明によると、 n ビットのデジタルデータ(n は自然数)をアナログ信号に変換するD/A変換回路であって、前記 n ビットのデジタルデータの各ビットは、スイッチを制御し、前記スイッチに接続された容量への電荷の充放電を制御し、オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とするD/A変換回路が提供される。

【0037】本発明によると、 n ビットのデジタルデータ(n は自然数)をアナログ信号に変換するD/A変換回路であって、前記 n ビットのデジタルデータの各ビットに対応した n 個のスイッチおよび n 個の容量を有しており、各ビットに対応した前記 n 個のスイッチは、前記 n 個のスイッチのそれぞれに接続された前記容量への電荷の充放電を制御し、オフセット電圧を基準電位としたアナログ信号の出力をおこなうことを特徴とするD/A変換回路が提供される。

【0038】本発明によると、 n ビットデジタルデータ

の下位 m ビット (n および m は自然数、 $m < n$) のそれぞれのビットが制御するスイッチおよび前記 n ビットデジタルデータの上位 ($n-m$) ビットのそれぞれのビットが制御するスイッチと、前記下位 m ビットのそれぞれのビットが制御する前記スイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量と、前記上位 ($n-m$) ビットのそれぞれのビットが制御するスイッチのそれぞれに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量と、カップリング容量と、2つのリセットスイッチと、を有する

n ビットのデジタルデータをアナログ信号に変換するD/A変換回路であって、2つの電源およびオフセット電源が接続されており、前記スイッチは2つの電源のうちいずれかーを選択し、前記2つのリセットスイッチは、前記容量への電荷の充電を制御し、前記 n ビットのデジタルビデオデータの上位 ($n-m$) ビットの容量の共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力されるD/A変換回路が提供される。

【0039】本発明によると、データの下位 m ビット (n および m は自然数、 $m < n$) が制御する下位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{m-1} 倍である容量を有する下位ビット回路部と、 n ビットデジタルデータの上位 ($n-m$) ビットが制御する上位ビット回路部であって、各ビットが制御するスイッチ、および前記スイッチに接続された容量であって、それぞれ単位容量の 2^{n-m-1} 倍である容量を有する上位ビット回路部と、前記下位ビット回路部と前記上位ビット回路部とを接続する前記単位容量でなるカップリング容量と、2つのリセットスイッチと、を有するD/A変換回路であって、2つの電源およびオフセット電源が入力されており、前記2つのリセットスイッチは、前記下位ビット回路部のそれぞれの容量および前記上位ビット部のそれぞれの容量への電荷の充電を制御し、前記上位ビット回路部のそれぞれの容量の共通接続端には、前記オフセット電源が入力されており、前記下位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれかーを選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、前記上位ビット回路部のそれぞれの前記スイッチは、各ビット情報により前記2つの電源のうちいずれかーを選択し、それぞれの前記スイッチに接続された容量の電荷の充放電を制御し、前記上位ビット回路部の前記共通接続端から前記オフセット電源の電位を基準電位としたアナログ信号が出力されるD/A変換回路が提供される。

【0040】

【発明の実施の形態】以下に本発明のDACをある実施形態に基づいて説明する。なお、本発明のDACは、以

下の実施形態に限定されるわけではない。

【0041】本発明のDACの回路図を図1に示す。図1に示す本発明のDACは、 n ビット ($D_0 \sim D_{n-1}$) のデジタルデータを扱うことができる。なお、 D_0 をLSBとし、 D_{n-1} をMSBとする。また、 n ビットのデジタルデータを、下位 m ビット ($D_0 \sim D_{m-1}$) と上位 ($n-m$) ビット ($D_m \sim D_{n-1}$) とに分割して考える。

【0042】図1に示す様に本発明のDACは、 n ビットのデジタルデータ ($D_0 \sim D_{n-1}$) の各ビットが制御する n 個のスイッチ ($SW_0 \sim SW_{n-1}$) と、各スイッチ ($SW_0 \sim SW_{n-1}$) に接続された容量 (C 、 $2C$ 、 \dots 、 $2^{m-1}C$ 、 C 、 $2C$ 、 \dots 、 $2^{n-m-1}C$) と、2つのリセットスイッチ ($Res1$ および $Res2$) とを有している。これらの容量は単位容量 C の整数倍となっている。また、本発明のDACは、下位 m ビットに対応する回路部と上位 ($n-m$) ビットに対応する回路部とを接続する容量 C を有している。図1に示されているように、下位 m ビットに対応する回路部のそれぞれの容量の一端は、共通接続端となっている。また、上位 ($n-m$) ビットに対応する回路部のそれぞれの容量の一端は、共通接続端となっている。なお、容量 C_L は出力 V_{out} に接続された信号線の負荷容量である。また、グラウンド電源を V_G とする。ただし、 V_G は任意の定電源でもよい。

【0043】本発明のDACには、電源 V_H 、電源 V_L 、オフセット電源 V_B 、電源 V_A が接続されている。なお、 $V_H > V_L$ の場合と、 $V_H < V_L$ の場合とでは、出力 V_{out} には逆相のアナログ信号が出力される。なお、ここでは、 $V_H > V_L$ の場合の出力を正相とし、 $V_H < V_L$ の場合の出力を反転相とする。

【0044】スイッチ ($SW_0 \sim SW_{n-1}$) は、それぞれ、入力されるデジタルデータ ($D_0 \sim D_{n-1}$) が0 (Lo) の時、電源 V_L に接続され、入力デジタルデータが1 (Hi) の時、電源 V_H に接続されるようになっている。リセットスイッチ $Res1$ は、上位 ($n-m$) ビットに対応する容量 (C 、 $2C$ 、 \dots 、 $2^{n-m-1}C$) への V_B からの電荷の充電を制御している。また、リセットスイッチ $Res2$ は、下位 m ビットに対応する容量 (C 、 $2C$ 、 \dots 、 $2^{m-1}C$) への V_A からの電荷の充電を制御している。

【0045】なお、リセットスイッチ $Res2$ の一端を電源 V_L に接続し、電源 V_A からの電圧の供給を行わないようにしても良い。

【0046】次に、本発明のDACの動作を順を追って説明する。本発明のDACの動作は、リセット期間 T_R とデータ入力期間 T_E とに分けて説明される。

【0047】まず、リセット期間 T_R 中、リセットスイッチ $Res1$ および $Res2$ が閉じ、かつデジタルデータの全ビット ($D_0 \sim D_{n-1}$) が0 (Lo) となり、全てのスイッチ ($SW_0 \sim SW_{n-1}$) が電源 V_L に接続される。

この状態における、図1に示す本発明のDACの等価回路を図2(A)に示す。

【0048】リセット期間 T_R 終了直後、図2(A)に示す各合成容量 C_0 、 C_1 、 C_2 、 C_3 、 C 、 C_L に蓄えられる電荷の初期値 Q_0^0 、 Q_1^0 、 Q_2^0 、 Q_3^0 、 Q^0 、 Q_L^0 は、下記の数式(1a)～(1f)のようになる。

【0049】

【数10】

$$Q_0^0 = (2^m - 1) \cdot c \cdot (V_L - V_A) \quad \dots(1a)$$

$$Q_1^0 = 0 \quad \dots(1b)$$

$$Q_2^0 = (2^{n-m} - 1) \cdot c \cdot (V_L - V_B) \quad \dots(1c)$$

$$Q_3^0 = 0 \quad \dots(1d)$$

$$Q^0 = c \cdot (V_A - V_B) \quad \dots(1e)$$

$$Q_L^0 = c_L \cdot (V_B - V_G) \quad \dots(1f)$$

$$Q_0 = c_0 \cdot (V_L - V_m) \quad \dots(2a)$$

$$Q_1 = c_1 \cdot (V_H - V_m) \quad \dots(2b)$$

$$Q_2 = c_2 \cdot (V_L - V_{out}) \quad \dots(2c)$$

$$Q_3 = c_3 \cdot (V_H - V_{out}) \quad \dots(2d)$$

$$Q = c \cdot (V_m - V_{out}) \quad \dots(2e)$$

$$Q_L = c_L \cdot (V_{out} - V_G) \quad \dots(2f)$$

【0052】なお、

【数12】

【0053】

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + \dots + 2^{m-1}\overline{D}_{m-1}) \quad \dots(3a)$$

$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + \dots + 2^{m-1}D_{m-1}) \quad \dots(3b)$$

$$c_2 = c \cdot (\overline{D}_m + 2\overline{D}_{m+1} + 4\overline{D}_{m+2} + \dots + 2^{n-m-1}\overline{D}_{n-1}) \quad \dots(3c)$$

$$c_3 = c \cdot (D_m + 2D_{m+1} + 4D_{m+2} + \dots + 2^{n-m-1}D_{n-1}) \quad \dots(3d)$$

【0054】である。ここで、図2(B)におけるポインタ V_{out} および V_m においては、電荷の保存則より、下記数式(4a)および(4b)が成り立つ。

【0055】

【数13】

$$\begin{cases} -Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 & \dots(4a) \\ -Q_2 - Q_3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 & \dots(4b) \end{cases}$$

【0056】ここで、(4a)および(4b)に(1a)～(1f)および(2a)～(2f)を代入し V_{out} について解くと、下記数式(5)に示すようになる。

【0057】

【数14】

$$V_{out} = V_B + \frac{\{c_0 + 2^m \cdot c_2 - (2^n - 1) \cdot c\} V_L + (c_1 + 2^m \cdot c_3) V_H}{(2^n - 1) \cdot c + 2^m \cdot c_L} \quad \dots(5)$$

【0058】ここで、

【数15】

【0059】

【0050】である。リセット期間 T_R 終了後、データ書き込み期間 T_E が始まり、任意のビット情報を有するデジタルデータ($D_0 \sim D_{n-1}$)が、スイッチ($SW_0 \sim SW_{n-1}$)を制御し、各ビット情報に応じた電荷が充放電され、その後定常状態になる。そして最終的に合成容量 C_0 、 C_1 、 C_2 、 C_3 、 C 、 C_L に蓄えられる電荷 Q_0 、 Q_1 、 Q_2 、 Q_3 、 Q 、 Q_L は、下記の数式(2a)～(2f)のようになる。

【0051】

10 【数11】

$$c_0 + c_1 = c \cdot (1 + 2 + 4 + \dots + 2^{m-1}) = (2^m - 1) \cdot c \quad \dots(6a)$$

$$c_2 + c_3 = c \cdot (1 + 2 + 4 + \dots + 2^{n-m-1}) = (2^{n-m} - 1) \cdot c \quad \dots(6b)$$

【0060】であるので、
【0061】

【数16】

$$c_0 + c_1 + 2^m \cdot (c_2 + c_3) = (2^n - 1) \cdot c \quad \dots(7)$$

【0062】となり、数式(5)に、(6a)、(6b)および(7)を代入することによって下記数式(8)が得られる。

【0063】

10 【数17】

$$V_{out} = V_B + \frac{(c_1 + 2^m \cdot c_3)}{(2^n - 1) \cdot c} \cdot \alpha \cdot (V_H - V_L) \quad \dots(8)$$

【0064】ただし、
【0065】
【数18】

$$\alpha = \frac{1}{1 + \frac{2^m}{2^n - 1} \cdot \frac{c_L}{c}} \quad \dots(9)$$

【0066】である。 α は電圧圧縮率である。よって、数式(8)より、 V_{out} は V_A に依存しないことがわかる。数式(8)により、縦軸に V_{out} 、横軸にデジタルビデオデータのアドレスをとったグラフを図2(C)に示す。図2(C)に示す様に、出力 V_{out} はデジタルデータのアドレス(0~ $2^n - 1$)に対して線形関係にあることがわかる。また、出力 V_{out} は V_H と V_L との差によってその振幅を決定することができ、かつオフセット電源 V_B を基準電位としてデジタルデータのアドレスに対して線形的に変化する。つまり、出力 V_{out} の電圧振幅と基準電位 V_B とを独立して制御することができる。このことから、 V_H と V_L との差が一定であれば、 V_H および V_L を共に小さくしても同じ出力 V_{out} が得られるので、電源電圧を低く抑えることができる。そのことにより、 α を小さく、つまり容量 C を小さくすることができ、容量部のレイアウト面積を縮小することができる。

【0067】なお、本発明の構成に用いられる容量には、上述の線形関係をほぼ満たす程度の誤差が許容される。

【0068】以下に、本発明のDACの実施例について説明する。なお、本発明のDACの具体的な構成は、以下の実施例の構成に限定されるわけではない。

【実施例】

【0069】(実施例1) 図3を参照する。図3には、本実施例の8ビットDACの回路図が示されている。

【0070】図3に示す本実施例のDACは、8ビット(D_0 (LSB)~ D_7 (MSB))のデジタルデータを扱う。また、8ビットのデジタルデータを、下位4ビット($D_0 \sim D_3$)と上位4ビット($D_4 \sim D_7$)とに分割し

て考える。

【0071】図3に示す様に本実施例のDACは、8ビットのデジタルデータ($D_0 \sim D_7$)の各ビットが制御する8個のスイッチ($SW_0 \sim SW_7$)と、各スイッチ($SW_0 \sim SW_7$)に接続された容量(C 、 $2C$ 、 $4C$ 、 $8C$)と、2つのリセットスイッチ($Res1$ および $Res2$)とを有している。また、本実施例のDACは、下位4ビットに対応する回路部と上位4ビットに対応する回路部とを接続する容量 C を有している。

【0072】本実施例のDACには、電源 V_H 、電源 V_L 、オフセット電源 V_B が接続されている。

【0073】スイッチ($SW_0 \sim SW_7$)は、それぞれ、入力されるデジタルデータ($D_0 \sim D_7$)の各ビットが0(L0)の時、電源 V_L に接続され、入力デジタルデータの各ビットが1(H1)の時、電源 V_H に接続されるようになっているのは上で述べた通りである。リセットスイッチ $Res1$ は、上位4ビットに対応する容量(C 、 $2C$ 、 $4C$ 、 $8C$)への V_B からの電荷の充電を制御している。また、下位4ビットに対応する容量(C 、 $2C$ 、 $4C$ 、 $8C$)の一端は、リセットスイッチ $Res2$ に接続されている。

【0074】本実施例の8ビットDACにおいては、上述の図1のDACとは構成が異なる。図1のDACと異なる点は、リセットスイッチ $Res2$ の一端が電源 V_L に接続されており、電源 V_A からの電圧の供給がない点である。しかし、上述したように出力電圧 V_{out} は V_A に依存しない。よって、本実施例のDACは、上述の図1に示すDACと同様の動作をする。

【0075】次に、本実施例のDACの動作を順を追って説明する。本実施例のDACの動作は、図1のDACと同様、リセット期間 T_R とデータ入力期間 T_E とに分けて説明される。

【0076】まず、リセット期間 T_R 中、リセットスイッチ $Res1$ および $Res2$ が閉じ、かつデジタルビデオデータの全ビット($D_0 \sim D_7$)が0(L0)となり、全

でのスイッチ (SW₀~SW₇) が電源 VL に接続される。この状態における本実施例の DAC の等価回路は、図 4 (A) に示されるものと同様である。

【0077】リセット期間 T_R 終了直後、図 4 (A) に示す各合成容量 C₀、C₁、C₂、C₃、C、C_L に蓄えられる電荷の初期値 Q₀⁰、Q₁⁰、Q₂⁰、Q₃⁰、Q⁰、Q_L⁰ は、下記の数式 (10a) ~ (10f) の様になる。

【0078】

【数 19】

$$Q_0^0 = 0 \quad \dots(10a) \quad 10$$

$$Q_1^0 = 0 \quad \dots(10b)$$

$$Q_2^0 = 15 \cdot c \cdot (V_L - V_B) \quad \dots(10c)$$

$$Q_3^0 = 0 \quad \dots(10d)$$

$$Q^0 = c \cdot (V_L - V_B) \quad \dots(10e)$$

$$Q_L^0 = c_L \cdot (V_B - V_G) \quad \dots(10f)$$

$$Q_0 = c_0 \cdot (V_L - V_m) \quad \dots(11a)$$

$$Q_1 = c_1 \cdot (V_H - V_m) \quad \dots(11b)$$

$$Q_2 = c_2 \cdot (V_L - V_{out}) \quad \dots(11c)$$

$$Q_3 = c_3 \cdot (V_H - V_{out}) \quad \dots(11d)$$

$$Q = c \cdot (V_m - V_{out}) \quad \dots(11e)$$

$$Q_L = c_L \cdot (V_{out} - V_G) \quad \dots(11f)$$

【0081】である。リセット期間 T_R 終了直後、任意のビット情報を有するデジタルデータ (D₀~D₇) が、スイッチ (SW₀~SW₇) に供給されスイッチを制御し、各ビット情報に応じた電荷が充放電される。そして最終的に合成容量 C₀、C₁、C₂、C₃、C、C_L に蓄え

られる電荷 Q₀、Q₁、Q₂、Q₃、Q、Q_L は、上記の数式 (11a) ~ (11f) の様になる。なお、

【0082】

【数 21】

$$c_0 = c \cdot (\overline{D_0} + 2\overline{D_1} + 4\overline{D_2} + 8\overline{D_3}) \quad \dots(12a)$$

$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + 8D_3) \quad \dots(12b)$$

$$c_2 = c \cdot (\overline{D_4} + 2\overline{D_5} + 4\overline{D_6} + 8\overline{D_7}) \quad \dots(12c)$$

$$c_3 = c \cdot (D_4 + 2D_5 + 4D_6 + 8D_7) \quad \dots(12d)$$

【0083】である。ここで、図 4 (A) におけるポインタ V_{out} および V_m においては、電荷の保存則より、下記数式 (13a) および (13b) が成り立つ。

【0084】

【数 22】

$$\begin{cases} -Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 & \dots(13a) \\ -Q_2 - Q_3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 & \dots(13b) \end{cases}$$

【0085】ここで、(13a) および (13b) に、(10a) ~ (10f) および (12a) ~ (12f) を代入し、V_{out} について解くと下記数式 (14) に示

す様になる。

【0086】

【数 23】

$$V_{out} = V_B + \frac{\{c_0 + 16 \cdot c_2 - 255 \cdot c\} V_L + (c_1 + 16 \cdot c_3) V_H}{255 \cdot c + 16 \cdot c_L} \quad \dots(14)$$

【0087】ここで、
【0088】

【数24】

$$c_0 + c_1 = c \cdot (1 + 2 + 4 + 8) = 15 \cdot c \quad \dots(15a)$$

$$c_2 + c_3 = c \cdot (1 + 2 + 4 + 8) = 15 \cdot c \quad \dots(15b)$$

【0089】であるので、
【0090】

【数25】

$$c_0 + c_1 + 16 \cdot (c_2 + c_3) = 255 \cdot c \quad \dots(16)$$

【0091】となり、数式(14)に、(15a)、
(15b)および(16)を代入することによって下記
数式(17)が得られる。

10 【0092】

【数26】

$$V_{out} = V_B + \frac{(c_1 + 16 \cdot c_3)}{255 \cdot c} \cdot \alpha \cdot (V_H - V_L) \quad \dots(17)$$

【0093】ただし、
【0094】
【数27】

$$\alpha = \frac{1}{1 + \frac{16}{255} \cdot \frac{c_L}{c}} \quad \dots(18)$$

【0095】である。よって、数式(17)より、出力
 V_{out} はデジタルデータのアドレス(0~ 2^8-1)に対
して線形関係にあることがわかる。本実施例では、8ピ
ットのデジタルビデオデータを扱うので、256通りの
 V_{out} が得られる。ここで、数式(17)において、各
パラメータを変化させた時の出力 V_{out} -デジタルデ
ータのアドレスのグラフを図29に示す。

【0096】出力 V_{out} は V_H と V_L との差によってその
振幅を決定することができ、かつ V_B を基準電位として
デジタルデータのアドレスに対して線形的に変化する。
つまり、出力 V_{out} の電圧振幅と基準電位とを独立して
制御することができる。このことから、 V_H と V_L との差
が一定であれば、 V_H および V_L を共に小さくしても同じ
出力 V_{out} が得られるので、電源電圧を低く抑えること
ができる。そのことにより、 α を小さく、つまり容量C
を小さくすることができ、容量部のレイアウト面積を縮
小することができる。

【0097】(実施例2)本実施例においては、上述の
実施例1のDACを、アクティブマトリクス型液晶表示
装置の駆動回路に用いた場合について説明する。

【0098】図5は、本実施例のアクティブマトリクス
型液晶表示装置の概略ブロック図である。501はソー
ス信号線駆動回路Aであり、502はソース信号線駆動
回路Bである。503はゲート信号線駆動回路である。
504はアクティブマトリクス回路である。505はデ
ジタルビデオデータ分割回路(SPC; Serial-to-Para
llel Conversion Circuit)である。

【0099】ソース信号線駆動回路A501は、シフト
レジスタ回路(240ステージ×2のシフトレジスタ回

路)501-1、ラッチ回路1(960×8デジタルラ
ッチ回路)501-2、ラッチ回路2(960×8デジ
タルラッチ回路)501-3、セクタ回路1(240
のセクタ回路)501-4、D/A変換回路(240
のDAC)501-5、セクタ回路2(240のセ
クタ回路)501-6を有している。その他、バッファ
回路やレベルシフト回路(いずれも図示せず)を有して
いる。また、説明の便宜上、DAC501-5にはレベ
ルシフト回路が含まれている。

【0100】ソース信号線駆動回路B502は、ソース
信号線駆動回路A501と同じ構成を有する。なお、ソ
ース信号線側駆動回路A501は、奇数番目のソース信
号線に映像信号(階調電圧信号)を供給し、ソース信
号線側駆動回路B502は、偶数番目のソース信号線に映
像信号を供給するようになっている。

【0101】なお、本実施例のアクティブマトリクス型
液晶表示装置においては、回路レイアウトの都合上、ア
クティブマトリクス回路の上下を挟むように2つのソー
ス信号線駆動回路Aおよびソース信号線駆動回路Bを設
けたが、回路レイアウト上、可能であれば、ソース信
号線駆動回路を1つだけ設けるようにしても良い。

【0102】また、503はゲート信号線駆動回路であ
り、シフトレジスタ回路、バッファ回路、レベルシフト
回路等(いずれも図示せず)を有している。

【0103】アクティブマトリクス回路504は、19
20×1080(横×縦)の画素を有している。各画素
には画素TFTが配置されており、各画素TFTのソー
ス領域にはソース信号線が、ゲート電極にはゲート信
号線が電気的に接続されている。また、各画素TFTのド
レイン領域には画素電極が電気的に接続されている。各
画素TFTは、各画素TFTに電気的に接続された画素
電極への映像信号(階調電圧)の供給を制御している。
各画素電極に映像信号(階調電圧)が供給され、各画素
電極と対向電極との間に挟まれた液晶に電圧が印加され
液晶が駆動される。

【0104】ここで、本実施例のアクティブマトリクス型液晶表示装置の動作および信号の流れを説明する。

【0105】まず、ソース信号線側駆動回路A501の動作を説明する。シフトレジスタ回路501-1にクロック信号（CK）およびスタートパルス（SP）が入力される。シフトレジスタ回路501-1は、これらのクロック信号（CK）およびスタートパルス（SP）に基づきタイミング信号を順に発生させ、バッファ回路等（図示せず）を通して後段の回路へタイミング信号を順次供給する。

【0106】シフトレジスタ回路501-1からのタイミング信号は、バッファ回路等によってバッファされる。タイミング信号が供給されるソース信号線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファ回路が設けられる。

【0107】バッファ回路によってバッファされたタイミング信号は、ラッチ回路1（501-2）に供給される。ラッチ回路1（501-2）は、8ビットデジタルビデオデータ（8bit digital video data）を処理するラッチ回路を960ステージ有している。ラッチ回路1（501-2）は、前記タイミング信号が入力されると、デジタルビデオデータ分割回路から供給される8ビットデジタルビデオデータを順次取り込み、保持する。

【0108】ラッチ回路1（501-2）の全てのステージにラッチ回路にデジタルビデオデータの書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、ラッチ回路1（501-2）の中で一番左側のステージのラッチ回路にデジタルビデオデータの書き込みが開始される時点から、一番右側のステージのラッチ回路にデジタルビデオデータの書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0109】1ライン期間の終了後、シフトレジスタ回路501-1の動作タイミングに合わせて、ラッチ回路2（501-3）にラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ回路1（501-2）に書き込まれ保持されているデジタルビデオデータは、ラッチ回路2（501-3）に一斉に送出され、ラッチ回路2（501-3）の全ステージのラッチ回路に書き込まれ、保持される。

【0110】デジタルビデオデータをラッチ回路2（501-3）に送出し終えたラッチ回路1（501-2）には、シフトレジスタ回路501-1からのタイミング信号に基づき、再びデジタルビデオデータ分割回路から供給されるデジタルビデオデータの書き込みが順次行われる。

【0111】この2順目の1ライン期間中には、ラッチ

回路2（501-3）に書き込まれ、保持されているデジタルビデオデータが、セレクト回路1（501-4）によって順次選択され、D/A変換回路（DAC）501-5に供給される。なお本実施例では、セレクト回路1（501-4）においては、1つのセレクト回路がソース信号線4本に対応している。

【0112】ここで、本実施例に用いられるセレクト回路1（501-4）を説明するために、2ビットデジタルビデオデータを扱うセレクト回路を参照する（図6および図7）。本実施例のように、8ビットデジタルデータを扱うセレクト回路も回路の構成概念は同じである。なお、セレクト回路については、本出願人による特許出願である特開平11-167373号に記載されているものを用いることもできる。

【0113】図6は、1つのセレクト回路の回路図が示されている。図6において、符号A、B、CおよびDは、ソース信号線、符号A、B、CおよびDに付されている添字0および1は、それぞれのソース信号線に入力される2ビットのデジタルビデオデータのビットを示している。選択信号SS1およびSS2によって、1ライン走査期間（水平走査期間）の1/4ずつ、ソース信号線A、B、CまたはDに対応するデジタルビデオデータが選択され、Out-0およびOut-1から出力される。この選択回路のタイミングチャートを図7に示す。なお、L、Sはラッチシグナルである。

【0114】本実施例のセレクト回路501-4においては、ソース信号線4本毎に一つのセレクト回路が設けられている。また、1ライン走査期間の1/4ずつ、対応するソース信号線にラッチ回路1（501-2）から供給される8ビットデジタルビデオデータが選択される。

【0115】セレクト回路501-4で選択された8ビットデジタルビデオデータがDAC501-5に供給される。ここで、本実施例に用いられる本発明のDACについて図8および図9を用いて解説する。

【0116】図8には、本実施例のDACの回路図が示されている。なお、本実施例のDACは、レベルシフト回路（L、S）を有しているが、このレベルシフト回路を省略して設計することも可能である。なお、レベルシフト回路（L、S）の回路構成については、図9（A）に示されている。レベルシフト回路においては、入力INに信号Loが入力され、入力INbに信号Hiが入力された時に、出力OUTからは高電位電源VddHiが、出力OUTbからは低電位電源Vssが出力されるようになっている。また、入力INに信号Hiが入力され、入力INbに信号Loが入力された時に、出力OUTからは低電位電源Vssが、出力OUTbからは高電位電源VddHiが出力されるようになっている。

【0117】本実施例のDACには、NOR回路（501-5-1）の一方の入力にデジタルビデオデータ（D

0~D7) の反転データ (ここでは反転D0~D7と呼ぶ) が入力されるようになっている。このNOR回路 (501-5-1) の他方の入力には、リセットパルスA (ResA) が入力される。このリセットパルスAは、DACのリセット期間TRに入力される。本実施例の場合、デジタルビデオデータ (反転D0~D7) はリセット期間TR中にもNOR回路 (501-5-1) へ入力されているが、NOR回路にリセットパルスResAが入力されている間は、NOR回路からはデジタルビデオデータが出力されないようになっている。

【0118】なお、NOR回路を省略し、リセット期間TRの終了後、デジタルビデオデータ (反転D0~D7) が入力されるようにしてもよい。

【0119】リセット期間TRの終了後、データ書き込み期間TEが始まり、8ビットのデジタルビデオデータがレベルシフト回路によってその電圧レベルを上げられ、スイッチ回路SW0~SW7に入力される。

【0120】スイッチ回路SW0~SW7は、それぞれ2個のアナログスイッチASW1およびASW2によって構成されている。アナログスイッチASW1およびASW2のそれぞれの回路構成は、図9(B)に示されている。ASW1の一端はDC_VIDEO_Lに、その他端はASW2の一端に接続されかつ容量に接続されている。また、各ASW2の一端はDC_VIDEO_Hに、その他端はASW2の一端に接続されかつ容量 (1pF、2pF、4pF、8pF、1pF、2pF、4pF、8pF) に接続されている。各容量の一端は2つのアナログスイッチに接続されており、他端はリセットスイッチ2 (Res2) に接続されている。また、リセットスイッチ1 (Res1) の一端は、DC_VIDEO_Mに接続されており、他端は上位ビットに対応する容量の一端に接続されている。リセットスイッチRes1およびRes2には、リセットパルス (ResB) および反転リセットパルス (反転ResB) が入力される。

【0121】また、上位ビットに対応する回路と下位ビットに対応する回路の接続点には、容量 (1pF) が設けられている。なお、本実施例における、上述の全ての容量はそれらの値に限定されるわけではない。

【0122】DAC501-5は、8ビットのデジタルビデオデータをアナログビデオデータ (階調電圧) に変換し、セレクト回路2 (501-6) によって選択されるソース信号線に順次供給される。本実施例のDACの動作は、上述の実施例1の動作に従い、出力Voutは上述の数式 (17) で示される。

【0123】ソース信号線に供給されるアナログ信号は、ソース信号線に接続されているアクティブマトリクス回路の画素TFTのソース領域に供給される。

【0124】502はソース信号線駆動回路Bであり、その構成はソース信号線駆動回路A501と同じである。ソース信号線駆動回路B502は、偶数番目のソー

ス信号線にアナログビデオデータを供給する。

【0125】ゲート信号線駆動回路503においては、シフトレジスタ (図示せず) からのタイミング信号がバッファ回路 (図示せず) に供給され、対応するゲート信号線 (走査線) に供給される。ゲート信号線には、1ライン分の画素TFTのゲート電極が接続されており、1ライン分全ての画素TFTを同時にONにしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

10 【0126】このように、ゲート信号線駆動回路からの走査信号によって対応する画素TFTのスイッチングが行われ、ソース信号線駆動回路からのアナログ信号 (階調電圧) が画素TFTに供給され、液晶分子が駆動される。

【0127】505はデジタルビデオデータ分割回路 (SPC; Serial-to-Parallel Conversion Circuit) である。デジタルビデオデータ分割回路505は、外部から入力されるデジタルビデオデータの周波数を1/mに落とすための回路である。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も1/mに落とすことができる。ここで、図10を参照し、本実施例に用いられるデジタルビデオデータ分割回路505について簡単に説明する。

【0128】図10(A)に示す様に、本実施例のデジタルビデオデータ分割回路は、クロックジェネレータおよび複数のSPC基本ユニットを有している。SPC基本ユニットの構成は、図10(B)に示される。図10(B)において、H-DLおよびL-DLは、Dラッチと呼ばれるラッチ回路である。H-DLは、Dラッチに入力されるラッチ信号がHiの時インプット信号をラッチし、L-DLは、Dラッチに入力されるラッチ信号がLoの時インプット信号をラッチする、Dラッチ回路である。

【0129】本実施例では、デジタルビデオデータ分割回路505には、外部から80MHzの8ビットデジタルビデオデータが入力される。デジタルビデオデータ分割回路505は、外部から入力される80MHzの8ビットデジタルビデオデータをシリアル-パラレル変換し、10MHzのデジタルビデオデータをソース信号線駆動回路に供給する。

【0130】なお、本実施例のデジタルビデオデータ分割回路505には、80MHzのデジタルビデオデータの他、40MHzのクロック (CK) およびリセットパルスResが外部から入力される。本実施例のデジタルビデオデータ分割回路505は、入力されるデジタルビデオデータの周波数の半分の周波数のクロックしか必要としない。よって、従来のものと比較して、本実施例のデジタルビデオデータ分割回路505は安定性および信頼性が高い。

【0131】ここで、図11を参照する。図11には、デジタルビデオデータ分割回路を構成するSPC基本ユニットのタイミングチャートが示されている。

【0132】図11に示すタイミングチャートによると、入力されるシリアルデジタルデータ(D-1、D-2、・・・、D-10、・・・)が2つのパラレルデジタルデータ(P1およびP2)に変換される様子が示されている。

【0133】ここで、本実施例で説明したアクティブマトリクス型液晶表示装置の作製方法例を以下に説明する。本実施例では、絶縁表面を有する基板上に複数のTFTを形成し、アクティブマトリクス回路、ソース信号線駆動回路、ゲート信号線駆動回路、デジタルデータ分割回路、および他の周辺回路等を同一基板上に形成する例を図9～図12に示す。なお、以下の例では、アクティブマトリクス回路の1つの画素TFTと、他の回路

(ソース信号線駆動回路、ゲート信号線駆動回路、デジタルデータ分割回路、および他の周辺回路)の基本回路であるCMOS回路とが同時に形成される様子を示す。また、以下の例では、CMOS回路においてはPチャネル型TFTとNチャネル型TFTとがそれぞれ1つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲート型やトリプルゲート型のような複数のゲート電極を備えたTFTによるCMOS回路をも同様に作製することができる。また、以下の例では、画素TFTはダブルゲートのNチャネル型TFTである、シングルゲート、トリプルゲート等のTFTとしてもよい。

【0134】図12(A)を参照する。まず、絶縁表面を有する基板として石英基板4001を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜4002を形成する。本実施例では、下地膜4002には酸化シリコン(SiO₂)が用いられた。次に、非晶質シリコン膜4003を形成する。非晶質シリコン膜4003は、最終的な膜厚(熱酸化後の膜減りを考慮した膜厚)が10～75nm(好ましくは15～45nm)となる様に調節する。

【0135】なお、非晶質シリコン膜4003の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質シリコン膜4003中では、後の結晶化を阻害する不純物であるC(炭素)およびN(窒素)の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満(代表的には $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)、O(酸素)は $1.5 \times 10^{19} \text{ atoms/cm}^3$ 未満(代表的には $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、

好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下)となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS(2次イオン質量分析)の測定結果における最小値で定義される。

【0136】上記構成を得るため、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmのClF₃(フッ化塩素)ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0137】なお、本出願人の知見によれば炉内温度300℃とし、ClF₃ガスの流量を300sccmとした場合、約2μm厚の付着物(主にシリコンを主成分する)を4時間で完全に除去することができる。

【0138】また、非晶質シリコン膜4003中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜4003の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0139】次に、非晶質シリコン膜4003の結晶化工程を行う。結晶化の手段としては特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本実施例では、同公報の実施例2に記載した技術内容(特開平8-78329号公報に詳しい)を利用するのが好ましい。

【0140】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜4004を150nmに形成する。マスク絶縁膜4004は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる(図12(B))。

【0141】そして、非晶質シリコン膜4003の結晶化を助長する触媒元素としてニッケル(Ni)を含有した溶液(Ni酢酸塩エタノール溶液)4005をスピンコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、パラジウム(Pd)、ゲルマニウム(Ge)、白金(Pt)、銅(Cu)、金(Au)等を用いることができる(図12(B))。

【0142】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0143】触媒元素の添加工程が終了したら、次に、450℃で1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～960℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質シリコン膜4003の結晶化を行う。本実施例では酸素雰囲気中で570℃で14時間の加熱処理を行う。

【0144】この時、非晶質シリコン膜4003の結晶化は、ニッケルを添加した領域4006で発生した核から優先的に進行し、基板4001の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域4007が形成される。この結晶領域4007を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【0145】なお、マスク絶縁膜4004を用いずに、Ni酢酸溶液を非晶質シリコン膜の全面に塗布し結晶化させることもできる。

【0146】図12（D）を参照する。次に、触媒元素のゲッターリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜4004が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜4004で覆われていない部分4008のみに、リンがドーピングされる（これらの領域をリン添加領域4008と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜4004を突き抜けないようにする。このマスク絶縁膜4004は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

【0147】リンのドーピング量は、 1×10^{14} から 1×10^{15} ions/cm²程度とすると良い。本実施例では、 5×10^{14} ions/cm²のドーピング量をイオンドーピング装置を用いて行った。

【0148】なお、イオンドープの際の加速電圧は10 keVとした。10 keVの加速電圧であれば、リンは150 nmのマスク絶縁膜をほとんど通過することができない。

【0149】図12（E）を参照する。次に、600℃の酸素雰囲気にて1～12時間（本実施例では12時間）熱アニールし、ニッケル元素のゲッターリングを行った。こうすることによって、図12（E）において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。600℃の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数100 μm程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッターリングに最も適した元素の1つであることが理解できる。

【0150】次に図13（A）を参照し、多結晶シリコン膜をパターンニングする工程を説明する。このとき、リ

ンの添加領域4008、すなわちニッケルがゲッターリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶シリコン膜の活性層4009～4011が得られた。得られた多結晶シリコン膜の活性層4009～4011が後にTFTの活性層となる。

【0151】図13（B）を参照する。活性層4009～4011を形成したら、その上にシリコンを含む絶縁膜でなるゲート絶縁膜4012を70 nmに成膜する。そして、酸化性雰囲気において、800～1100℃（好ましくは950～1050℃）で加熱処理を行い、活性層4009～4011とゲート絶縁膜4012の界面に熱酸化膜（図示せず）を形成する。

【0152】なお、触媒元素をゲッターリングするための加熱処理（触媒元素のゲッターリングプロセス）を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッターリング効果を利用する。なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₂、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。また、ハロゲン元素を用いて触媒元素のゲッターリングプロセスを行う場合、触媒元素のゲッターリングプロセスを、マスク絶縁膜4004を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッターリングプロセスを、活性層をパターンニングした後に行なってもよい。また、いずれのゲッターリングプロセスを組み合わせてもよい。

【0153】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターンニングによって後のゲート電極の原型を形成する。本実施例では2 wt %のスカンジウムを含有したアルミニウム膜を用いる。又はMo、W等の耐熱性金属やそれらとSiの合金を用いても良い。

【0154】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲート電極を形成しても良い。

【0155】次に、特開平7-135318号公報記載の技術により多孔性陽極酸化膜4013～4020、無孔性陽極酸化膜4021～4024およびゲート電極4025～4028を形成する（図13（B））。

【0156】こうして図13(B)の状態が得られたら、次にゲート電極4025～4028および多孔性陽極酸化膜4013～4020をマスクとしてゲート絶縁膜4012をエッチングする。そして、多孔性陽極酸化膜4013～4020を除去し、図13(C)の状態を得る。なお、図13(C)において4029～4031で示されるのは加工後のゲート絶縁膜である。

【0157】図14(A)を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

【0158】本実施例では、Nチャネル型およびPチャネル型のTFTを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0159】最初に、Nチャネル型のTFTを形成するための不純物添加を行う。まず、1回目の不純物添加(本実施例ではP(リン)を用いる)を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0160】さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲート絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が $500 \Omega/\square$ 以下(好ましくは $300 \Omega/\square$ 以下)となるように調節する。

【0161】以上の工程を経て、CMOS回路を構成するNチャネル型TFTのソース領域およびドレイン領域4032および4033、低濃度不純物領域4036、チャネル形成領域4039が形成される。また、画素TFTを構成するNチャネル型TFTのソース領域およびドレイン領域4034および4035、低濃度不純物領域4037、チャネル形成領域4040および4041が確定する(図14(A))。

【0162】なお、図14(A)に示す状態ではCMOS回路を構成するPチャネル型TFTの活性層は、Nチャネル型TFTの活性層と同じ構成となっている。

【0163】次に、図14(B)に示すように、Nチャネル型TFTを覆ってレジストマスク4042を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0164】この工程も前述の不純物添加工程と同様に2回に分けて行うが、N導電性をP導電性に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0165】こうしてCMOS回路を構成するPチャネル型TFTのソース領域およびドレイン領域4043および4044、低濃度不純物領域4045、チャネル形成領域4046が形成される(図14(B))。

【0166】また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲート電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

【0167】次に、ファーストアニール、レーザーアニール、又はランプアニール又はそれらの組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0168】図14(C)を参照する。次に、第1層間絶縁膜4047として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極4048～4052を形成する。なお、第1層間絶縁膜4047として有機性樹脂膜を用いることもできる。

【0169】図15を参照する。次に、第2層間絶縁膜4053を窒化シリコン膜で形成する。そして次に、有機性樹脂膜からなる第3層間絶縁膜4054を $0.5 \sim 3 \mu\text{m}$ の厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【0170】次に、第3層間絶縁膜4054の一部をエッチングし、画素TFTのドレイン電極4052の上部に第2層間絶縁膜を挟んでブラックマトリクス4055を形成する。本実施例では、ブラックマトリクス4055にはTi(チタン)が用いられた。なお、本実施例では、画素TFTとブラックマトリクスとの間で保持容量が形成される。また、駆動回路部においては、ブラックマトリクス4055を第3の配線として用いている。また、本実施例のD/A変換回路の容量は、ソース電極およびドレイン電極の形成時に作製された電極とブラックマトリクス4055とによって形成される。4056は第4層間膜である。

【0171】次に、第2層間絶縁膜4053および第3層間絶縁膜4054にコンタクトホールを形成し、画素電極4057を 120 nm の厚さに形成する。なお、本実施例は透過型のアクティブマトリクス液晶表示装置の例であるため、画素電極4057を構成する導電膜としてITO、 In_2ZnO 等の透明導電膜を用いる。

【0172】次に、基板全体を 350°C の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を有するアクティブマトリクス基板が完成する。

【0173】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス

型液晶表示装置を作製する工程を説明する。

【0174】図15(B)の状態のアクティブマトリクス基板に配向膜4058を形成する。本実施例では、配向膜4058にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板4059、透明導電膜から成る対向電極4060、配向膜4061とで構成される。

【0175】なお、本実施例では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、配向膜に比較的大きなプレチルト角を持つようなポリイミドを用いた。

【0176】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶4062を注入し、封止剤（図示せず）によって完全に封止する。本実施例では、液晶4062にネマチック液晶を用いた。

【0177】よって、図15(C)に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【0178】なお、本実施例で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0179】（実施例3）

【0180】本実施例においては、上述の実施例2において説明した本発明のDACを有するアクティブマトリクス型液晶表示装置の作製方法とは別の作製方法例について説明する。なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例2のアクティブマトリクス型液晶表示装置として用いられる。

【0181】図16を参照する。まず、ガラス基板5001上に酸化シリコン膜5002でなる下地膜を200nm厚に形成した。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。

【0182】次に、酸化シリコン膜5002上に30nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法により形成し、脱水素処理後、エキシマレーザーアニールを行ってポリシリコン膜（結晶質シリコン膜または多結晶シリコン膜）を形成した。

【0183】この結晶化工程は公知のレーザー結晶化技術または熱結晶化技術を用いれば良い。本実施例ではパルス発振型のKrFエキシマレーザーを線状に加工してアモルファスシリコン膜の結晶化を行った。

【0184】なお、本実施例では初期膜をアモルファスシリコン膜としてレーザーアニールで結晶化してポリシリコン膜を得たが、初期膜として微結晶シリコン膜を用いても構わないし、直接ポリシリコン膜を成膜しても良い。勿論、成膜したポリシリコン膜にレーザーアニールを行っても良い。また、レーザーアニールの代わりにフアーネスアニールを行っても良い。また、非晶質珪素膜

の結晶化を実施例1で示したような方法を用いて行っても良い。

【0185】こうして形成された結晶質シリコン膜をパターニングして島状のシリコン層からなる活性層5003、5004を形成した。

【0186】次に、活性層5003、5004を覆って酸化シリコン膜でなるゲート絶縁膜5005を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）5006、5007を形成した（図16(A)）。

【0187】ゲート絶縁膜5005の膜厚は100nmとした。勿論、酸化シリコン膜以外に酸化シリコン膜と窒化シリコン膜との積層構造や酸化窒化シリコン膜を用いても構わない。また、ゲート配線5006、5007は他の金属を用いることもできるが、後の工程においてシリコンとのエッチング選択比の高い材料が望ましい。

【0188】こうして図16(A)の状態が得られたら、1回目のリンドープ工程（リンの添加工程）を行った。ここではゲート絶縁膜5005を通して添加するため、加速電圧は80KeVと高めに設定した。また、こうして形成された第1不純物領域5008、5009は長さ（幅）が0.5μm、リン濃度が $1 \times 10^{17} \text{atoms/cm}^3$ となるようにドーズ量を調節した。この時のリン濃度を(n)で表すことにする。なお、リンの代わりに砒素を用いても良かった。

【0189】また、第1不純物領域5008、5009はゲート配線5006、5007をマスクとして自己整合的に形成された。この時、ゲート配線5006、5007の直下には真性な結晶質シリコン層が残り、チャンネル形成領域5010、5011が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線5006、5007と第1不純物領域5008、5009とがオーバーラップするような構造となった（図16(B)）。

【0190】次に、ゲート配線5006、5007を覆うようにして0.1~1μm（代表的には0.2~0.3μm）の厚さの非晶質シリコン層を形成し、異方性エッチングを行うことによりサイドウォール5012、5013を形成した。サイドウォール5012、5013の幅（ゲート配線の側壁からみた厚さ）は0.2μmとした（図16(C)）。

【0191】なお、本実施例では非晶質シリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層でなるサイドウォールが形成された。

【0192】図16(C)の状態が得られたら、2回目のリンドープ工程を行った。この場合も1回目と同様に加速電圧を80KeVとした。また、今回形成された第2不純物領域5014、5015にはリンが $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で含まれるようにドーズ量を調節した。

この時のリン濃度を(n)で表すことにする。

【0193】なお、図16(D)に示すリンドープ工程ではサイドウォール5012、5013の真下のみに第1不純物領域5008、5009が残る。この第1不純物領域5008および5009は1stLDD領域として機能することになる。

【0194】また、図16(D)の工程ではサイドウォール5012、5013にもリンが添加された。実際には加速電圧が高いためリンの濃度プロファイルのテール(裾)がサイドウォール内部に及ぶような状態でリンが分布していた。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくと第2不純物領域5014に印加されるゲート電圧が素子毎に変動する要因ともなりかねないのでドーピング時は精密な制御が必要である。

【0195】次に、NTFTの一部を覆うレジストマスク5016とPTFTの全部を覆うレジストマスク5017を形成した。そして、この状態でゲート絶縁膜5005をドライエッチングして加工されたゲート絶縁膜5018を形成した(図16(E))。

【0196】この時、ゲート絶縁膜5018がサイドウォール5012よりも外側に突出している部分の長さ(ゲート絶縁膜5018が第2不純物領域5014に接している部分の長さ)が、第2不純物領域5014の長さ(幅)を決定した。従って、レジストマスク5016のマスク合わせは精度良く行うことが必要であった。

【0197】図16(E)の状態が得られたら、3回目のリンドープ工程を行った。今回は露出した活性層にリンを添加することになるため、加速電圧を10KeVと低めに設定した。なお、こうして形成された第3不純物領域5019にはリンが 5×10^{20} atoms/cm³の濃度で含まれるようにドーズ量を調節した。この時のリン濃度を(n+)で表すことにする(図17(A))。

【0198】この工程ではレジストマスク5016および5017によって遮蔽された部分にはリンが添加されないため、その部分には第2不純物領域5014および5015がそのまま残る。従って、第2不純物領域5014が画定した。また同時に、第3不純物領域5019が画定した。

【0199】この第2不純物領域5014は2ndLDD領域として機能し、第3不純物領域5019はソース領域又はドレイン領域として機能することになる。

【0200】次に、レジストマスク5016、5017を除去し、新たにNTFT全部を覆うレジストマスク5021を形成した。そして、まずPTFTのサイドウォール5013を除去し、さらにゲート絶縁膜5005をドライエッチングしてゲート配線5007と同形状のゲート絶縁膜5022を形成した(図17(B))。

【0201】図17(B)の状態が得られたら、ボロンドーピング工程(ボロンの添加工程)を行った。ここでは加速電圧を10KeVとし、形成された第4不純物領域50

23に 3×10^{20} atoms/cm³の濃度でボロンが含まれるようにドーズ量を調節した。この時のボロン濃度を(p++)で表すことにする(図17(C))。

【0202】この時、ボロンもゲート配線5007の内側に回り込んで添加されたため、チャネル形成領域5011はゲート配線5007の内側に形成された。また、この工程ではPTFT側に形成されていた第1不純物領域5009及び第2不純物領域5015をボロンで反転させてP型にしている。従って、実際にはもともと第1不純物領域だった部分と第2不純物領域だった部分とで抵抗値が変化するが、十分高い濃度でボロンを添加しているので問題とはならない。

【0203】こうすることで第4不純物領域5023が画定する。第4不純物領域5023はゲート配線5007をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例ではPTFTに対してLDD領域もオフセット領域も形成していないが、PTFTはもともと信頼性が高いので問題はなく、却ってLDD領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0204】こうして最終的には図17(C)に示すように、NTFTの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、PTFTの活性層にはチャネル形成領域及び第4不純物領域のみが形成される。

【0205】そのようにして図17(C)の状態が得られたら、第1層間絶縁膜5024を1μmの厚さに形成した。第1層間絶縁膜5024としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0206】第1層間絶縁膜5024を形成したら、金属材料でなるソース配線5025、5026及びドレイン配線5027を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の三層配線を用いた。

【0207】また、第1層間絶縁膜5024としてBCB(ベンゾシクロブテン)と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いので、配線材料として非常に有効である。

【0208】こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜5028を形成した。さらにその上には保護膜として第2層間絶縁膜5029を形成した。この第2層間絶縁膜5029としては前記第1層間絶縁膜5024と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0209】以上のような工程を経て、図17(D)に

示すような構造のCMOS回路が完成した。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に控向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス（電気特性のバランス）が優れたものとなった。

【0210】なお、同様にして画素TFTもNTFTによって構成され得る。

【0211】図17（D）の状態が得られたら、コンタクトホールを開孔し、画素TFTのドレイン電極に接続した画素電極を形成する。そして、第3層間膜を形成し、配向膜を形成する。次に、ブラックマトリクスを形成する。

【0212】駆動回路部においては、ブラックマトリクスを第3の配線として用いている。また、本実施例のD/A変換回路の容量は、ソース電極およびドレイン電極の形成時に作製された電極とブラックマトリクスとによって形成される。

【0213】次に、対向基板を用意する。対向基板は、ガラス基板、透明導電膜から成る対向電極、配向膜とで

【0214】なお、本実施例では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、配向膜に比較的大きなプレチルト角を持つようなポリイミドを用いた。

【0215】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサなどを介して貼り合わせる。その後、両基板の間に液晶を注入し、封止剤によって完全に封止する。本実施例では、液晶にネマチック液晶を用いた。

【0216】よってアクティブマトリクス型液晶表示装置が完成する。

【0217】（実施例4）本実施例では、上述の実施例2または実施例3において、シリコン基板を用いた場合について説明する。他の工程は、実施例1または実施例2によるものとする。

【0218】図18を参照する。シリコン基板6001上に酸化シリコン膜6002を形成する。そして、酸化シリコン膜上に非晶質シリコン膜を形成し、その全面にニッケルの含有層を形成する。そして、加熱し、非晶質シリコン膜の多結晶化を行う。その後の工程は、実施例2または実施例5に従う。

【0219】（実施例5）本実施例においては、上述の実施例2または実施例3において説明したアクティブマトリクス型液晶表示装置の作製方法とは別の作製方法例について説明する。

【0220】図19および図20を参照する。まず基板7001には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そし

て、基板7001のTFTが形成される表面に、酸化珪素で成る下地膜7002を200nmの厚さに形成した。下地膜7002は、さらに窒化珪素膜を積層させても良いし、窒化珪素膜のみであっても良い。

【0221】次に、この下地膜7002の上に50nmの厚さで、非晶質珪素膜をプラズマCVD法で形成した。非晶質珪素膜の含有水素量にもよるが、好ましくは400～500℃に加熱して脱水素処理を行い、非晶質珪素膜の含有水素量を5atm%以下として、結晶化の工程を行って結晶性珪素膜とした。

【0222】この結晶化の工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して、結晶性シリコン膜とした。なお、この結晶化の工程は、上述の実施例1または実施例3で説明した方法を用いても良い。

【0223】尚、本実施例では初期膜を非晶質シリコン膜として用いたが、初期膜として微結晶シリコン膜を用いても構わないし、直接結晶性シリコン膜を成膜しても

【0224】こうして形成された結晶性シリコン膜をパターニングして、島状の半導体活性層7003、7004、7005を形成した。

【0225】次に、半導体活性層7003、7004、7005を覆って、酸化珪素または窒化珪素を主成分とするゲート絶縁膜7006を形成した。ここではプラズマCVD法で窒化酸化珪素膜を100nmの厚さに形成した。そして、図19では説明しないが、ゲート絶縁膜7006の表面に第1のゲート電極を構成する、第1の導電膜としてタンタル（Ta）を10～200nm、例えば50nmさらに第2の導電膜としてアルミニウム（Al）を100～1000nm、例えば200nmの厚さでスパッタ法で形成した。そして、公知のパターニング技術により、第1のゲート電極を構成する第1の導電膜7007、7008、7009、7010と、第2の導電膜の7012、7013、7014、7015が形成された。

【0226】第1のゲート電極を構成する第2の導電膜として、アルミニウムを用いる場合には、純アルミニウムを用いても良いし、チタン、珪素、スカンジウムから選ばれた元素が0.1～5atm%添加されたアルミニウム合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜7006の表面に窒化珪素膜を設けておく为好ましい。

【0227】また、図19では画素マトリクス回路を構成するnチャネル型TFTのドレイン側に付加容量部を設ける構造となっている。このとき、第1のゲート電極と同じ材料で付加容量部の配線電極7011、7016が形成される。

【0228】こうして図19（A）に示す構造が形成さ

れたら、1回目のn型不純物を添加する工程を行った。結晶性半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜7006を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。また、こうして形成された不純物領域は、後に示すnチャネル型TFETの第1の不純物領域7034、7042を形成するもので、LDD領域として機能するものである。従ってこの領域のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0229】半導体活性層中に添加された前記不純物元素は、レーザーアニール法や、熱処理により活性化させる必要があった。この工程は、ソース・ドレイン領域を形成する不純物添加の工程のあと実施しても良いが、この段階でレーザーアニール法により活性化させることは効果的であった。

【0230】この工程で、第1のゲート電極を構成する第1の導電膜7007、7008、7009、7010と第2の導電膜7012、7013、7014、7015はリンの添加に対してマスクとして機能した。その結果ゲート絶縁膜を介して存在する半導体層の第1のゲート電極の真下の領域には、まったく、あるいは殆どリンが添加されなかった。そして、図19(B)に示すように、リンが添加された低濃度不純物領域7017、7018、7019、7020、7021、7022、7023が形成された。

【0231】次にフォトリソ膜をマスクとして、nチャネル型TFETを形成する領域をレジストマスク7024、7025で覆って、pチャネル型TFETが形成される領域のみに、p型を付与する不純物添加の工程を行った。p型を付与する不純物元素としては、ボロン

(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、イオンドープ法でジボラン(B₂H₆)を用いて添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図19(C)に示すようにボロンが高濃度に添加された領域7026、7027が形成された。この領域は後にpチャネル型TFETのソース・ドレイン領域となる。

【0232】そして、レジストマスク7024、7025を除去した後、第2のゲート電極を形成する工程を行った。ここでは、第2のゲート電極の材料にタンタル(Ta)を用い、100~1000nm、例えば200nmの厚さに形成した。そして、公知の技術によりパターニングを行い、第2のゲート電極7028、7029、7030、7031が形成された。この時、第2の

ゲート電極の長さは5μmとなるようにパターニングした。結果として、第2のゲート電極は、第1のゲート電極の両側にそれぞれ1.5μmの長さでゲート絶縁膜と接する領域が形成された。

【0233】また、画素マトリクス回路を構成するnチャネル型TFETのドレイン側に保持容量部が設けられるが、この保持容量部の電極7032は第2のゲート電極と同時に形成された。

【0234】そして、第2のゲート電極7028、7029、7030、7031をマスクとして、2回目のn型を付与する不純物元素を添加する工程を行った。ここでは同様に、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜7006を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。そして、ここでリンが添加される領域は、nチャネル型TFETでソース領域7035、7043、及びドレイン領域7036、7044として機能させるため、この領域のリンの濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。

【0235】また、ここで図示はしないが、ソース領域7035、7043、及びドレイン領域7036、7047を覆うゲート絶縁膜を除去して、その領域の半導体層を露出させ、直接リンを添加しても良い。この工程を加えると、イオンドープ法の加速電圧を10keVまで下げることができ、また、効率良くリンを添加することができた。

【0236】また、pチャネル型TFETのソース領域7039とドレイン領域7040にも同じ濃度でリンが添加されるが、前の工程でその2倍の濃度でボロンが添加されているため、導電性は反転せず、pチャネル型TFETの動作上何ら問題はなかった。

【0237】それぞれの濃度で添加されたn型またはp型を付与する不純物元素は、このままでは活性化せず有効に作用しないので、活性化の工程を行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA法)で行うことができた。

【0238】熱アニール法では、窒素雰囲気中において550℃、2時間の加熱処理をして活性化を行った。本実施例では、第1のゲート電極を構成する第2の導電膜にアルミニウムを用いたが、タンタルで形成された第1の導電膜と第2のゲート電極がアルミニウムを覆って形成されているため、タンタルがブロッキング層として機能して、アルミニウム原子が他の領域に拡散することを防ぐことができた。また、レーザーアニール法では、パルス発振型のKrFエキシマレーザー光を線状に集光して照射することにより活性化が行われた。また、レーザーアニール法を実施した後熱アニール法を実施する

と、さらに良い結果が得られた。またこの工程は、イオンドーピングによって結晶性が破壊された領域をアニールする効果も兼ね備えていて、その領域の結晶性を改善することもできた。

【0239】以上までの工程で、ゲート電極を第1のゲート電極と、その第1のゲート電極を覆って第2のゲート電極を設けられ、nチャネル型TFTでは、第2のゲート電極の両側にソース領域とドレイン領域が形成された。また、ゲート絶縁膜を介して半導体層に設けられた第1の不純物領域と、第2のゲート電極がゲート絶縁膜に接している領域とが、重なって設けられた構造が自己整合的に形成された。一方、pチャネル型TFTでは、ソース領域とドレイン領域の一部が第2のゲート電極とオーバーラップして形成されているが、実使用上何ら問題はなかった。

【0240】図19(D)の状態が得られたら、第1の層間絶縁膜7049を1000nmの厚さに形成した。第1の層間絶縁膜7049としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機樹脂膜、およびそれらの積層膜をもちいることができる。本実施例では、図示しないが、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。

【0241】第1の層間絶縁膜7049はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域にコンタクトホールが形成された。そして、ソース電極7050、7052、7053とドレイン電極7051、7054が形成した。図示していないが、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の膜を、パターニングして形成した。

【0242】こうして図19(E)に示すように、基板7001上にCMOS回路と、アクティブマトリクス回路が形成された。また、アクティブマトリクス回路のnチャネル型TFTのドレイン側には、保持容量部が同時に形成された。以上のようにして、アクティブマトリクス基板が作製された。

【0243】次に、図20を用いて、以上の工程によって同一の基板に作製されたCMOS回路と、アクティブマトリクス回路をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。最初に、図19

(E)の状態の基板に対して、ソース電極7050、7052、7053とドレイン電極7051、7054と、第1の層間絶縁膜7045を覆ってパッシベーション膜7055を形成した。パッシベーション膜7055は、窒化珪素膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜7056を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機性樹脂膜を用いることの利点は、成膜方法

が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機性樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0244】次に、第2の層間絶縁膜7056の画素領域の一部に、ブラックマトリクス(遮光層)7057を形成した。ブラックマトリクス7057は金属膜や顔料を含ませた有機樹脂膜で形成すれば良いものである。ここでは、チタンをスパッタ法で形成した。なお、駆動回路部においては、ブラックマトリクスを第3の配線として用いている。また、本実施例のD/A変換回路の容量は、ソース電極およびドレイン電極の形成時に作製された電極とブラックマトリクスとによって形成される。

【0245】ブラックマトリクス7057を形成したら、第3の層間絶縁膜7058を形成する。この第3の層間絶縁膜7058は、第2の層間絶縁膜7056と同様に、有機樹脂膜を用いて形成すると良い。そして、第2の層間絶縁膜7056と第3の層間絶縁膜7058とにドレイン電極7054に達するコンタクトホールを形成し、画素電極7059を形成した。画素電極7059は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成し、画素電極7059を形成した。

【0246】図20(A)の状態が形成されたら、配向膜7060を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板7071には、対向電極7072と、配向膜7073とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0247】上記の工程を経て、アクティブマトリクス回路と、CMOS回路が形成された基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料7074を注入し、封止剤(図示せず)によって完全に封止した。よって図20(B)に示すアクティブマトリクス型液晶表示装置が完成した。

【0248】(実施例6)

【0249】本実施例では、本発明のDACを有するアクティブマトリクス型液晶表示装置の例として、逆スタガ型のTFTを用いた例を示す。

【0250】図21を参照する。図21には、本実施例のアクティブマトリクス型液晶表示装置を構成する逆スタガ型のNチャネル型TFTの断面図が示されている。なお、図21には、1つのNチャネル型TFTしか図示しないが、実施例1のように、Pチャネル型TFTとN

チャネル型 T F T によって C M O S 回路を構成することとできるのは言うまでもない。また、同様の構成により画素 T F T を構成できることも言うまでもない。

【0251】8001は基板であり、実施例3で説明したようなものが用いられる。8002は酸化シリコン膜である。8003はゲート電極である。8004はゲート絶縁膜である。8005、8006、8007および8008は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、8005はソース領域、8006はドレイン領域、8007は低濃度不純物領域（L D D 領域）、8008はチャネル形成領域である。8009はチャネル保護膜であり、8010は層間絶縁膜である。8011および8012はそれぞれ、ソース電極、ドレイン電極である。

【0252】（実施例7）

【0253】本実施例では、上記実施例とは構成が異なる逆スタガ型の T F T によってアクティブマトリクス型液晶表示装置が構成された場合について説明する。

【0254】図22を参照する。図22には、本実施例のアクティブマトリクス型液晶表示装置を構成する逆スタガ型の N チャネル型 T F T の断面図が示されている。ここでも、1つの N チャネル型 T F T しか図示しないが、実施例1のように、P チャネル型 T F T と N チャネル型 T F T とによって C M O S 回路を構成することとできるのは言うまでもない。また、同様の構成により画素 T F T を構成できることも言うまでもない。

【0255】9001は基板であり、実施例3で説明したようなものが用いられる。9002は酸化シリコン膜である。9003はゲート電極である。9004はベンゾシクロブテン（B C B）膜であり、その上面が平坦化される。9005は窒化シリコン膜である。B C B 膜と窒化シリコン膜とでゲート絶縁膜を構成する。9006、9007、9008および9009は、多結晶シリコン膜から成る活性層である。この活性層の作製にあたっては、実施例1で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。またレーザー光（好ましくは線状レーザー光または面状レーザー光）によって、非晶質シリコン膜を結晶化させる方法をとっても良い。なお、9006はソース領域、9007はドレイン領域、9008は低濃度不純物領域（L D D 領域）、9009はチャネル形成領域である。9010はチャネル保護膜であり、9011は層間絶縁膜である。9012および9013はそれぞれ、ソース電極、ドレイン電極である。

【0256】本実施例によると、B C B 膜と窒化シリコン膜とで構成されるゲート絶縁膜が平坦化されているの

で、その上に成膜される非晶質シリコン膜も平坦なものになる。よって、非晶質シリコン膜を多結晶化する際に、従来の逆スタガ型の T F T よりも均一な多結晶シリコン膜を得ることができる。

【0257】（実施例8）上記実施例のアクティブマトリクス型液晶表示装置またはパッシブマトリクス型液晶表示装置においては、ネマチック液晶を用いた T N モードが表示モードとして用いられているが、他の表示モードをも用いることができる。

10 【0258】さらに、応答速度の速い無しき値反強誘電性液晶または強誘電性液晶を用いて、アクティブマトリクス型液晶表示装置を構成してもよい。

【0259】また、本発明の D A C を用いたアクティブマトリクス型半導体表示装置には、印加電圧に응答して光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを用いてもよい。

20 【0260】また、アクティブマトリクス型液晶表示装置のアクティブマトリクス回路に用いられるアクティブ素子には、T F T の他 M I M 素子等が用いられてもよい。

【0261】上述したように、本発明の D A C を有するアクティブマトリクス型液晶表示装置には、T N 液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第5594569号に開示された液晶を用いることが可能である。

30 【0262】ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm～2μm）のものも見出されている。

40 【0263】ここで、V字型の電気光学応答を示す無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図33に示す。図33に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しき値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行

に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0264】図33に示されるように、このような無しき値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0265】このような低電圧駆動の無しき値反強誘電性混合液晶を本発明のDACを有するアクティブマトリクス型液晶表示装置に用いた場合にも、DACの出力電圧を下げるできるので、DACの動作電源電圧を下げることができ、ドライバの動作電源電圧を低くすることができる。よって、アクティブマトリクス液晶表示装置の低消費電力化および高信頼性が実現できる。

【0266】よって、このような低電圧駆動の無しき値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0267】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。

【0268】なお、このような無しき値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、アクティブマトリクス液晶表示装置の低消費電力が実現される。

【0269】また、等方相－コレステリック相－カイラルスメクティックC相転移系列を示す強誘電性液晶（FLC）を用い、DC電圧を印加しながらコレステリック相－カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図39に示す。図39に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図39に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。

「Half-V字スイッチングモード」については、寺田らの”Half-V字スイッチングモードFLC”、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの”強誘電性液晶による時分割フルカラーLCD”、液晶第3巻第3号第190頁に詳しい。

【0270】図39に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0271】なお、図33および図39に示すような電気光学特性を有する液晶は、いかなるものも本発明の液

晶表示装置の表示媒体として用いることができる。

【0272】（実施例9）

【0273】本発明のDACを用いたアクティブマトリクス型半導体表示装置またはパッシブマトリクス型半導体表示装置には様々な用途がある。本実施例では、本発明のDACを用いたアクティブマトリクス型半導体表示装置を組み込んだ半導体装置について説明する。

【0274】このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図23および図24に示す。

【0275】図23（A）はフロント型プロジェクターであり、本体10001、アクティブマトリクス型半導体表示装置10002（代表的には液晶表示装置）、光源10003、光学系10004、スクリーン10005で構成されている。なお、図23（A）には、半導体表示装置を1つ組み込んだフロントプロジェクターが示されているが、半導体表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0276】図23（B）はリア型プロジェクターであり、10006は本体、10007はアクティブマトリクス型半導体表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図23（B）には、アクティブマトリクス型半導体表示装置を3個（R、G、Bの光にそれぞれ対応させる）組み込んだリア型プロジェクタが示されている。

【0277】図24（A）は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、アクティブマトリクス型半導体表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0278】図24（B）はビデオカメラであり、本体12001、アクティブマトリクス型半導体表示装置12002、音声入力部12003、操作スイッチ12004、バッテリー12005、受像部12006で構成される。

【0279】図24（C）はモバイルコンピュータであり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、アクティブマトリクス型半導体表示装置13005で構成される。

【0280】図24（D）はヘッドマウントディスプレイであり、ゴーグル型表示装置ともいう。本体14001、アクティブマトリクス型半導体表示装置14002で構成される。

【0281】図24（F）は携帯書籍（電子書籍）であ

り、本体 15001、アクティブマトリクス型半導体表示装置 15002、15003、記憶媒体 15004、操作スイッチ 15005、アンテナ 15006 で構成される。

【0282】（実施例 10）

【0283】本実施例においては、本発明の D/A 変換回路を有する液晶表示装置の別の作製例について説明する。なお、本実施例においては、特に説明しない部分には実施例 2 とほぼ同様のプロセスを適用できる。

【0284】本実施例においては、図 12 (A) の状態において、触媒元素の添加工程として、マスク絶縁膜 4004 を用いずに Ni 酢酸溶液を非晶質シリコン膜の全面に塗布した。

【0285】触媒元素の添加工程が終了したら、次に、450℃で 1 時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において 500～960℃（代表的には 550～650℃）の温度で 4～24 時間の加熱処理を加えて非晶質シリコン膜 4003 の結晶化を行う。本実施例では酸素雰囲気中で 590℃で 8 時間の加熱処理を行う。

【0286】その後、触媒元素をゲッタリングするための加熱処理（触媒元素のゲッタリングプロセス）を行う。本実施例の場合、加熱処理は処理雰囲気中にハロゲ

ン元素を含ませ、ハロゲン元素による触媒元素のゲッタリング効果を利用する。なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を 700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的には HCl、HF、NF₃、HBr、Cl₂、ClF₃、BCl₂、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることができる。本実施例においては、O₂および HCl 雰囲気下 950℃で行い、熱酸化膜の形成と同時にゲッタリングプロセスを行った。

【0287】その後、ゲート絶縁膜を形成する。本実施例では、ゲート絶縁膜の厚さは、最終膜厚が約 50 nm となるようにした。

【0288】その他の工程については、実施例 2 を参照することができる。

【0289】本実施例の作製工程によって得られた TFT の特性を以下の表 1 に示す。

【0290】

【表 1】

L/W=6.8/7.6 [μm]	Nch	Pch
Ion [μA]	227	91.5
Ioff [pA]	3.10	11.8
Ion/Ioff [dec.]	7.86	6.89
Vth [V]	0.44	-0.56
S value [V/dec.]	0.08	0.10
$\mu\text{FE}(\text{max}) [\text{cm}^2/\text{Vs}]$	314	131
* $\mu\text{FE}(\text{max}) [\text{cm}^2/\text{Vs}]$	425	262

【0291】表 1 においては、L/W（チャネル長／チャネル幅）、Ion（オン電流）、Ioff（オフ電流）、Ion/Ioff（オン電流とオフ電流との比の常用対数をとったもの）、Vth（しきい値電圧）、S value（S 値）、 μFE （電界効果移動度）を示している。なお、*印がついたものは、L=50 μm とした TFT の μFE を示す。

【0292】ここで、図 30 に、本実施例の作製工程によって得られた TFT 特性のグラフを示す。図 30 において、Vg はゲート電圧、Id はドレイン電流、Vd は

ドレイン電圧を示す。

【0293】（実施例 11）

【0294】本実施例においては、本出願人が作製した本発明の DAC（8 ビット）を有するアクティブマトリクス型液晶表示装置の例について説明する。

【0295】下記の表 2 には、本出願人が作製した本発明の DAC（8 ビット）を有するアクティブマトリクス型液晶表示装置の仕様が示されている。

【0296】

【表 2】

Display diagonal size	2.6 inches
Number of pixels	1920 x 1080
Pixel size	30 (H) x 30 (V) μm
Aperture ratio	46%
Input data	8 bit
Power supply (Logic)	5 V
Input digital data rates	80 MHz
Frequency of data driver	10 MHz
Frequency of scan driver	8.1 KHz
Addressing mode	Column inversion
Contrast ratio	> 100

【0297】なお、表2におけるdata driverおよびscan driverは、それぞれ、ソース信号線駆動回路、ゲート信号線駆動回路のことである。また、アドレッシングモード (Addressing mode) として、ソースライン反転表示を行った。

【0298】図31には、本実施例で説明する本発明のDACを有するアクティブマトリクス型液晶表示装置の表示例が示されている。

【0299】また、図32には、本実施例で説明する本発明のDACを有するアクティブマトリクス型液晶表示装置を3個用いたフロント型プロジェクターの表示例である。なお、フロント型プロジェクターについては、実施例9を参照されたい。

【0300】図31および図32によると、本発明のDACを有するアクティブマトリクス型液晶表示装置は、非常に細かな階調表示が実現できていることがわかる。

【0301】(実施例12) 本実施例においては、本発明の駆動回路を有する液晶表示装置の作製方法例を図34～図38を用いて説明する。本実施例の液晶表示装置においては、画素部、ソースドライバ、ゲートドライバ等を一つの基板上に一体形成される。なお、説明の便宜上、画素TFTと本発明の駆動回路の一部を構成するNchTFTとインバート回路を構成するPchTFTおよびNchTFTとが同一基板上に形成されることを示すものとする。

【0302】図34(A)において、基板16001には低アルカリガラス基板や石英基板を用いることができる。本実施例では石英基板を用いた。この基板16001のTFT形成表面には、基板16001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜16002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を100nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0303】次に、20～150nm (好ましくは30～80nm) の厚さで非晶質構造を有する半導体膜16

003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、減圧熱CVD法で非晶質シリコン膜を53nmの厚さに形成する。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜16002と非晶質シリコン膜16003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる (図34(A))。

【0304】そして、公知の結晶化技術を使用して非晶質シリコン膜16003aから結晶質シリコン膜16003bを形成する。例えば、レーザー結晶化法や熱結晶化法 (固相成長法) を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜16003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で1時間程度の熱処理を行い、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ (本実施例では54nm) よりも1～15%程度減少する (図34(B))。

【0305】そして、結晶質シリコン膜16003bを島状にパターンニングして、島状半導体層16004～16007を形成する。その後、プラズマCVD法またはスパッタ法により50～150nmの厚さの酸化シリコン膜によるマスク層16008を形成する (図34(C))。本実施例では、マスク層16008の厚さは199nmとする。

【0306】そしてレジストマスク16009を設け、nチャネル型TFTを形成することとなる島状半導体層16004～16007の全面に $1 \times 10^{16} \sim 5 \times 10$

10^{17} atoms/cm³程度の濃度でp型を付与する不純物元素としてボロン(B)を添加する。このボロン(B)の添加は、しきい値電圧を制御する目的でなされる。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要ではない(図34(D))。

【0307】ドライバ等の駆動回路のnチャネル型TF TのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層16010~16012に選択的に添加する。そのため、あらかじめレジストマスク16013~16016を形成する。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドープ法を適用した。形成された不純物領域16017、16018のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とすれば良い。本明細書中では、ここで形成された不純物領域16017~16019に含まれるn型を付与する不純物元素の濃度を(n⁻)と表す。また、不純物領域16019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加する(図35(A))。その後、レジストマスク16013~16016を除去する。

【0308】次に、マスク層16008をフッ酸などにより除去した後、図34(D)と図35(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600℃で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光(波長248nm)を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0309】そして、ゲート絶縁膜16020をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図35(B))。

【0310】次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)16021と金属膜から成る導

電層(B)16022とを積層させる。導電層(B)16022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜またはMo-Ta合金膜)で形成すれば良く、導電層(A)16021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)16021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)16022は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

【0311】導電層(A)16021は10~50nm(好ましくは20~30nm)とし、導電層(B)16022は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)16021に50nmの厚さの窒化タンタル膜を、導電層(B)16022には350nmのTa膜を用い、いずれもスパッタ法で形成する。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)16021の下に2~20nm程度の厚さでリン(P)をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜16020に拡散するのを防ぐことができる(図35(C))。

【0312】次に、レジストマスク16023~16027を形成し、導電層(A)16021と導電層(B)16022とを一括でエッチングしてゲート電極16028~16031と容量配線16032を形成する。ゲート電極16028~16031と容量配線16032は、導電層(A)から成る16028a~16032aと、導電層(B)から成る16028b~16032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTF Tのゲート電極16028~16030は不純物領域16017、16018の一部と、ゲート絶縁膜16020を介して重なるように形成する(図35(D))。

【0313】次いで、ドライバのPチャネル型TF Tのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極16028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TF

Tが形成される領域はレジストマスク16033で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドーブ法で不純物領域16034を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域16034に含まれるP型を付与する不純物元素の濃度を (p^{++}) と表す (図36 (A))。

【0314】次に、Nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク16035~16037を形成し、N型を付与する不純物元素が添加して不純物領域16038~16042を形成した。これは、フォスフィン (PH_3) を用いたイオンドーブ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域16038~16042に含まれるN型を付与する不純物元素の濃度を (n^+) と表す (図36 (B))。

【0315】不純物領域16038~16042には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域16038に添加されたリン (P) 濃度は図10 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0316】そして、画素部のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極16031をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加する。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図35 (A) および図36 (A) と図36 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域16043、16044のみが形成される。本明細書中では、この不純物領域16043、16044に含まれるn型を付与する不純物元素の濃度を (n^-) と表す (図36 (C))。

【0317】ここで、ゲート電極のTaのピーリングを防止するために層間膜としてSiON膜等を200nmの厚さで形成しても良い。

【0318】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンズアニール法、レーザーアニール法、またはラビッドサーマルアニール法 (RTA法) で行うことができる。ここではファーンズアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の酸素雰囲気中で400~800℃、代表的には500~600℃

で行うものであり、本実施例では500℃で4時間の熱処理を行った。また、基板16001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極のTaのピーリングを防止するための層間膜を形成した場合には、この効果は得られない場合がある。

10 【0319】この熱処理において、ゲート電極16028~16031と容量配線16032形成する金属膜16028b~16032bは、表面から5~80nmの厚さでその表面に導電層 (C) 16028c~16032cが形成される。例えば、導電層 (B) 16028b~16032bがタングステン (W) の場合には窒化タングステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (Ta₂N) を形成することができる。また、導電層 (C) 16028c~16032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極16028~16031及び容量配線16032を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

30 【0320】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン (P) によるゲッターリング作用を利用する手段がある。ゲッターリングに必要なリン (P) の濃度は図36 (B) で形成した不純物領域 (n^+) と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をゲッターリングをすることができた (図36 (D))。

40 【0321】第1の層間絶縁膜16045は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線16046~16049と、ドレイン配線16050~16053を形成する (図37 (A))。図示していないが、本実施例ではこの電極を、Ti膜を200nm、Siを含むアルミニウム膜500nm、Ti膜100nmをスパッタ法で連

続して形成した 3 層構造の積層膜とする。

【0322】次に、パッシベーション膜 16054 とし、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50~500 nm (代表的には 100~300 nm) の厚さで形成する。本実施例においては、パッシベーション膜 16054 は窒化シリコン膜 50 nm と酸化シリコン膜 24.5 nm との積層膜とした。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3~100% の水素を含む雰囲気中で、300~450℃ で 1~12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 16054 に開口部を形成しておいても良い (図 37 (A))。

【0323】その後、有機樹脂からなる第 2 層間絶縁膜 16055 を 1.0~1.5 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのアクリルを用い、250℃ で焼成して形成する (図 37 (B))。

【0324】本実施例ではブラックマトリクスは、Ti 膜を 100 nm に形成し、その後 Al と Ti の合金膜を 300 nm に形成し、更に Ti 膜を 100 nm 形成した 3 層構造とする。

【0325】その後、有機樹脂からなる第 3 層間絶縁膜 16059 を 1.0~1.5 μm の厚さに形成する。有機樹脂としては、第 2 層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃ で焼成して形成した。

【0326】そして、第 2 層間絶縁膜 16055 および第 3 層間絶縁膜 16059 にドレイン配線 16053 に達するコンタクトホールを形成し、画素電極 16060 を形成する。本発明の透過型液晶表示装置においては、画素電極 16060 には ITO 等の透明導電膜を用いる。(図 37 (B))。

【0327】こうして同一基板上に、駆動回路 TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には p チャネル型 TFT 16101、第 1 の n チャネル型 TFT 16102、第 2 の n チャネル型 TFT 16103、画素部には画素 TFT 16104、保持容量 16105 が形成されている (図 38)。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【0328】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶表示装置を作製する工程を説明する。

【0329】図 38 の状態のアクティブマトリクス基板

に配向膜 16061 を形成する。本実施例では、配向膜 16061 にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板 16062、透明導電膜からなる対向電極 16063、配向膜 16064 とで構成される。

【0330】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0331】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ (共に図示せず) などを介して貼り合わせる。その後、両基板の間に液晶 16065 を注入し、封止剤 (図示せず) によって完全に封止する。よって、図 38 に示すような透過型液晶表示装置が完成する。

【0332】なお本実施例では、透過型液晶表示装置が TN (ツイスト) モードによって表示を行うようにした。そのため、偏光板 (図示せず) が透過型液晶表示装置の上部に配置された。

【0333】駆動回路の p チャネル型 TFT 16101 には、島状半導体層 16004 にチャネル形成領域 806、ソース領域 807a、807b、ドレイン領域 808a、808b を有している。第 1 の n チャネル型 TFT 16102 には、島状半導体層 16005 にチャネル形成領域 809、ゲート電極 16071 と重なる LDD 領域 810 (以降、このような LDD 領域を Lov と記す)、ソース領域 811、ドレイン領域 812 を有している。この Lov 領域のチャネル長方向の長さは 0.5~3.0 μm、好ましくは 1.0~1.5 μm とした。第 2 の n チャネル型 TFT 16103 には、島状半導体層 16006 にチャネル形成領域 813、LDD 領域 814、815、ソース領域 816、ドレイン領域 817 を有している。この LDD 領域は Lov 領域とゲート電極 16072 と重ならない LDD 領域 (以降、このような LDD 領域を Loff と記す) とが形成され、この Loff 領域のチャネル長方向の長さは 0.3~2.0 μm、好ましくは 0.5~1.5 μm である。画素 TFT 16104 には、島状半導体層 16007 にチャネル形成領域 818、819、Loff 領域 820~823、ソースまたはドレイン領域 824~826 を有している。Loff 領域のチャネル長方向の長さは 0.5~3.0 μm、好ましくは 1.5~2.5 μm である。また、画素 TFT 16104 のチャネル形成領域 818、819 と画素 TFT の LDD 領域である Loff 領域 820~823 との間には、オフセット領域 (図示せず) が形成されている。さらに、容量配線 16074 と、ゲート絶縁膜 16020 から成る絶縁膜と、画素 TFT 16073 のドレイン領域 826 に接続し、n 型を付与する不純物元素が添加さ

れた半導体層 827 とから保持容量 16105 が形成されている。図 38 では画素 TFT 16104 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0334】以上の様に本実施例においては、画素 TFT およびドライバが要求する仕様に依じて各回路を構成する TFT の構造を最適化し、液晶表示装置の動作性能と信頼性を向上させることを可能とすることができる。

【0335】なお、本実施例においては透過型の液晶表示装置について説明した。しかし、本発明の駆動回路を用いることができる液晶表示装置は、これに限定されるわけではなく、反射型の液晶表示装置にも用いることができる。

【0336】(実施例 13) 本実施例では、本願発明の D/A 変換回路を用いて EL (エレクトロルミネッセンス) 表示装置を作製した例について説明する。

【0337】図 40 (A) は本願発明を用いた EL 表示装置の上面図である。図 40 (A) において、14510 は基板、14511 は画素部、14512 はソース側駆動回路、14513 はゲート側駆動回路であり、それぞれの駆動回路は配線 14514 ~ 14516 を経て FPC 14517 に至り、外部機器へと接続される。

【0338】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 16500、シーリング材 (ハウジング材ともいう) 17500、密封材 (第 2 のシーリング材) 17501 が設けられている。

【0339】また、図 40 (B) は本実施例の EL 表示装置の断面構造であり、基板 14510、下地膜 14521 の上に駆動回路用 TFT (但し、ここでは n チャンネル型 TFT と p チャンネル型 TFT を組み合わせた CMOS 回路を図示している。) 14522 及び画素部用 TFT 14523 (但し、ここでは EL 素子への電流を制御する TFT だけ図示している。) が形成されている。これらの TFT は公知の構造 (トップゲート構造またはボトムゲート構造) を用いれば良い。

【0340】本願発明を用いて駆動回路用 TFT 14522、画素部用 TFT 14523 が完成したら、樹脂材料でなる層間絶縁膜 (平坦化膜) 14526 の上に画素部用 TFT 14523 のドレインと電気的に接続する透明導電膜でなる画素電極 14527 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物 (ITO と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 14527 を形成したら、絶縁膜 14528 を形成し、画素電極 14527 上に開口部を形成する。

【0341】次に、EL 層 14529 を形成する。EL 層 14529 は公知の EL 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組

み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0342】本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (CCM) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の EL 表示装置とすることもできる。

【0343】EL 層 14529 を形成したら、その上に陰極 14530 を形成する。陰極 14530 と EL 層 14529 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で EL 層 14529 と陰極 14530 を連続成膜するか、EL 層 14529 を不活性雰囲気中で形成し、大気解放しないで陰極 14530 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

【0344】なお、本実施例では陰極 14530 として、LiF (フッ化リチウム) 膜と Al (アルミニウム) 膜の積層構造を用いる。具体的には EL 層 14529 上に蒸着法で 1 nm 厚の LiF (フッ化リチウム) 膜を形成し、その上に 300 nm 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である MgAg 電極を用いても良い。そして陰極 14530 は 14531 で示される領域において配線 14516 に接続される。配線 14516 は陰極 14530 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 14532 を介して FPC 14517 に接続される。

【0345】14531 に示された領域において陰極 14530 と配線 14516 とを電気的に接続するために、層間絶縁膜 14526 及び絶縁膜 14528 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 14526 のエッチング時 (画素電極用コンタクトホールの形成時) や絶縁膜 14528 のエッチング時 (EL 層形成前の開口部の形成時) に形成しておけば良い。また、絶縁膜 14528 をエッチングする際に、層間絶縁膜 14526 まで一括でエッチングしても良い。この場合、層間絶縁膜 14526 と絶縁膜 14528 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとする事ができる。

【0346】このようにして形成された EL 素子の表面を覆って、パッシベーション膜 16503、充填材 16

504、カバー材16500が形成される。

【0347】さらに、EL素子部を囲むようにして、カバー材16500と基板14510の内側にシーリング材が設けられ、さらにシーリング材17500の外側には密封材（第2のシーリング材）17501が形成される。

【0348】このとき、この充填材16504は、カバー材16500を接着するための接着剤としても機能する。充填材16504としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材16504の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0349】また、充填材16504の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0350】スペーサーを設けた場合、パッシベーション膜16503はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0351】また、カバー材16500としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材16504としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0352】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材16500が透光性を有する必要がある。

【0353】また、配線14516はシーリング材17500および密封材17501と基板14510との隙間を通してFPC14517に電氣的に接続される。なお、ここでは配線14516について説明したが、他の配線14514、14515も同様にしてシーリング材17500および密封材17501の下を通してFPC14517に電氣的に接続される。

【0354】（実施例14）本実施例では、本願発明のD/A変換回路を用いて実施例13とは異なる形態のEL表示装置を作製した例について、図41（A）、41（B）を用いて説明する。図40（A）、40（B）と同じ番号のものは同じ部分を指しているので説明は省略する。

【0355】図41（A）は本実施例のEL表示装置の上面図であり、図41（A）をA-A'で切断した断面図を図41（B）に示す。

【0356】実施例13に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0357】さらに、EL素子を覆うようにして充填材16504を設ける。この充填材16504は、カバー材16500を接着するための接着剤としても機能する。充填材16504としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材16504の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0358】また、充填材16504の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0359】スペーサーを設けた場合、パッシベーション膜16503はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0360】また、カバー材16500としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材16504としてPVBやEVAを用いる場合、数十 μ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0361】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材16500が透光性を有する必要がある。

【0362】次に、充填材16504を用いてカバー材16500を接着した後、充填材16504の側面（露呈面）を覆うようにフレーム材16501を取り付ける。フレーム材16501はシーリング材（接着剤として機能する）16502によって接着される。このとき、シーリング材16502としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材16502はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材16502の内部に乾燥剤を添加してあっても良い。

【0363】また、配線14516はシーリング材16502と基板14510との隙間を通してFPC14517に電氣的に接続される。なお、ここでは配線14516について説明したが、他の配線14514、14515も同様にしてシーリング材16502の下を通してFPC14517に電氣的に接続される。

【0364】（実施例15）実施例13および14のような構成からなるEL表示パネルにおいて、本願発明の

D/A変換回路を用いることができる。ここで画素部のさらに詳細な断面構造を図42に、上面構造を図43

(A)に、回路図を図43(B)に示す。図42、図43(A)及び図43(B)では共通の符号を用いるので互いに参照すれば良い。

【0365】図42において、基板3501上に設けられたスイッチング用TFT3502は本願発明のNTFTを用いて形成される(実施例1~12参照)。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のPTFTを用いて形成しても構わない。

【0366】また、電流制御用TFT3503は本願発明のNTFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0367】このとき、電流制御用TFT3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0368】また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0369】また、図43(A)に示すように、電流制御用TFT3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線(電源線)3506に接続され、常に一定の電圧が加えられている。

【0370】スイッチング用TFT3502及び電流制

制御用TFT3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0371】また、43は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、電流制御用TFT3503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0372】また、絶縁膜(好ましくは樹脂)で形成されたバンク44a、44bにより形成された溝(画素に相当する)の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0373】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Geilsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0374】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm(好ましくは40~100nm)とすれば良い。

【0375】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0376】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0377】本実施例では発光層45の上にPEDOT

(ポリチオフェン) または PAni (ポリアニリン) である正孔注入層 46 を設けた積層構造の EL 層としている。そして、正孔注入層 46 の上には透明導電膜である陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって (TFT の上方に向かって) 放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0378】陽極 47 まで形成された時点で EL 素子 3505 が完成する。なお、ここでいう EL 素子 3505 は、画素電極 (陰極) 43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 43 (A) に示すように画素電極 43 は画素の面積にほぼ一致するため、画素全体が EL 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0379】ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と EL 素子とを遮断することであり、有機 EL 材料の酸化による劣化を防ぐ意味と、有機 EL 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより EL 表示装置の信頼性が高められる。

【0380】以上のように本願発明の EL 表示パネルは図 42 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 TFT と、ホットキャリア注入に強い電流制御用 TFT とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な EL 表示パネルが得られる。

【0381】なお、本実施例の構成は、実施例 1 の構成と自由に組み合わせて実施することが可能である。また、実施例 9 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0382】(実施例 16) 本実施例では、実施例 15 に示した画素部において、EL 素子 3505 の構造を反転させた構造について説明する。説明には図 44 を用いる。なお、図 42 の構造と異なる点は EL 素子の部分と電流制御用 TFT だけであるので、その他の説明は省略することとする。

【0383】図 44 において、電流制御用 TFT 3503 は本願発明の PTFT を用いて形成される。作製プロセスは実施例 1 ~ 12 を参照すれば良い。

【0384】本実施例では、画素電極 (陽極) 50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物である導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物である導電膜を用いても

良い。

【0385】そして、絶縁膜であるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールである発光層 52 が形成される。その上にはカリウムアセチルアセトネート (acacK と表記される) である電子注入層 53、アルミニウム合金である陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして EL 素子 3701 が形成される。

10 【0386】本実施例の場合、発光層 52 で発生した光は、矢印で示されるように TFT が形成された基板の方に向かって放射される。

【0387】なお、本実施例の構成は、実施例 1 の構成と自由に組み合わせて実施することが可能である。また、実施例 9 の電子機器の表示部として本実施例の EL 表示パネルを用いることは有効である。

【0388】(実施例 17) 本実施例では、図 43 (B) に示した回路図とは異なる構造の画素とした場合の例について図 45 (A) ~ (C) に示す。なお、本実施例において、3801 はスイッチング用 TFT 3802 のソース配線、3803 はスイッチング用 TFT 3802 のゲート配線、3804 は電流制御用 TFT、3805 はコンデンサ、3806、3808 は電流供給線、3807 は EL 素子とする。

【0389】図 45 (A) は、二つの画素間で電流供給線 3806 を共通とした場合の例である。即ち、二つの画素が電流供給線 3806 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0390】また、図 45 (B) は、電流供給線 3808 をゲート配線 3803 と平行に設けた場合の例である。なお、図 45 (B) では電流供給線 3808 とゲート配線 3803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3808 とゲート配線 3803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

40 【0391】また、図 45 (C) は、図 45 (B) の構造と同様に電流供給線 3808 をゲート配線 3803 と平行に設け、さらに、二つの画素を電流供給線 3808 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 3808 をゲート配線 3803 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

50 【0392】なお、本実施例の構成は、実施例 1、13 または 14 の構成と自由に組み合わせて実施することが可能である。また、実施例 9 の電子機器の表示部として

本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0393】（実施例18）実施例15に示した図43（A）、43（B）では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例15の場合、電流制御用TFT3503として実施例1～12に示すような本願発明のNTFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0394】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0395】また、実施例17に示した図45（A）、（B）、（C）の構造においても同様に、コンデンサ3805を省略することは可能である。

【0396】なお、本実施例の構成は、実施例1、13～17の構成と自由に組み合わせて実施することが可能である。また、実施例9の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0397】

【発明の効果】本発明のDACにおいては、出力 V_{out} は V_H と V_L との差によってその振幅を決定することができ、かつ V_L を基準電位としてデジタルデータのアドレスに対して線形的に変化する。つまり、出力 V_{out} の電圧振幅と基準電位とを独立して制御することができる。このことから、 V_H と V_L との差が一定であれば、 V_H および V_L を共に小さくしても同じ出力 V_{out} が得られるので、電源電圧を低く抑えることができる。そのことにより、 α を小さく、つまり容量 C を小さくすることができ、容量部のレイアウト面積を縮小することができる。

【図面の簡単な説明】

【図1】 本発明のDAC（D/A変換回路）である。

【図2】 本発明のDACの動作を説明するための等価回路および本発明のDACの出力を示すグラフである。

【図3】 本発明のDACのある実施形態である。

【図4】 本発明のDACのある実施形態の動作を説明するための等価回路および本発明のDACの出力を示すグラフである。

【図5】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の例である。

【図6】 セレクタ回路の例である。

【図7】 セレクタ回路のタイミングチャートである。

【図8】 本発明のDACのある実施形態である。

【図9】 レベルシフト回路およびアナログスイッチ回路である。

【図10】 デジタルビデオデータ分割回路である。

【図11】 デジタルビデオデータ分割回路のタイミングチャートである。

【図12】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図13】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

10 【図14】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図15】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図16】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図17】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図18】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

20 【図19】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図20】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図21】 本発明のDACを用いたアクティブマトリクス型液晶表示装置を構成するTFTの例である。

【図22】 本発明のDACを用いたアクティブマトリクス型液晶表示装置を構成するTFTの例である。

30 【図23】 本発明のDACを用いたアクティブマトリクス型半導体表示装置を組み込んだプロジェクターの例である。

【図24】 本発明のDACを用いたアクティブマトリクス型半導体表示装置を組み込んだ電子機器の例である。

【図25】 従来のDACである。

【図26】 従来のDACである。

【図27】 従来のDACである。

【図28】 従来のDACである。

【図29】 本発明のDACのある実施形態のデジタルビデオデータに対する出力電圧を示したものである。

40 【図30】 TFT特性のグラフである。

【図31】 本発明のDACを有するアクティブマトリクス型液晶表示装置の表示例である。

【図32】 本発明のDACを有するアクティブマトリクス型液晶表示装置の表示例。

【図33】 無しきい値反強誘電性混合液晶の印加電圧－透過率特性を示すグラフである。

【図34】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

50 【図35】 本発明のDACを用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図 36】 本発明の DAC を用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図 37】 本発明の DAC を用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図 38】 本発明の DAC を用いたアクティブマトリクス型液晶表示装置の作製方法例である。

【図 39】 反強誘電性液晶の電気光学特性を示すグラフである。

【図 40】 本発明の DAC を用いた EL 表示装置の実施形態の上面図および断面図である。

【図 41】 本発明の DAC を用いた EL 表示装置の実施形態の上面図および断面図である。

【図 42】 本発明の DAC を用いた EL 表示装置の実施形態の断面図である。

【図 43】 本発明の DAC を用いた EL 表示装置の実施形態の画素部の構成図および回路図である。

【図 44】 本発明の DAC を用いた EL 表示装置の実施形態の断面図である。

【図 45】 本発明の DAC を用いた EL 表示装置の実施形態の回路図である。

【符号の説明】

$SW_0 \sim SW_{n-1}$ スイッチ

$Res1, Res2$ リセットスイッチ

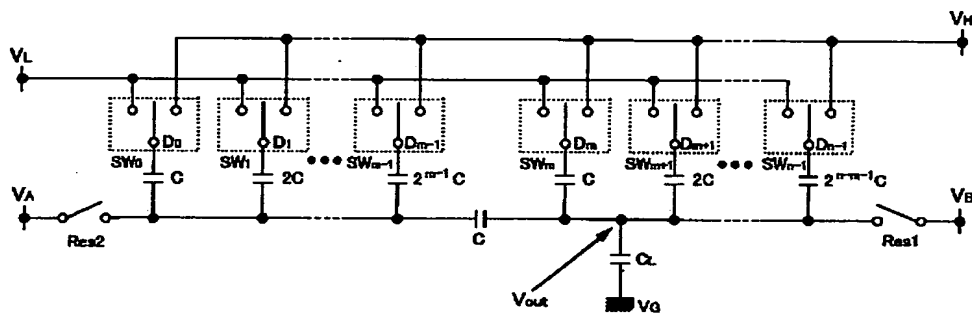
10 V_H, V_L, V_A, V_B 電源

V_{out} 出力

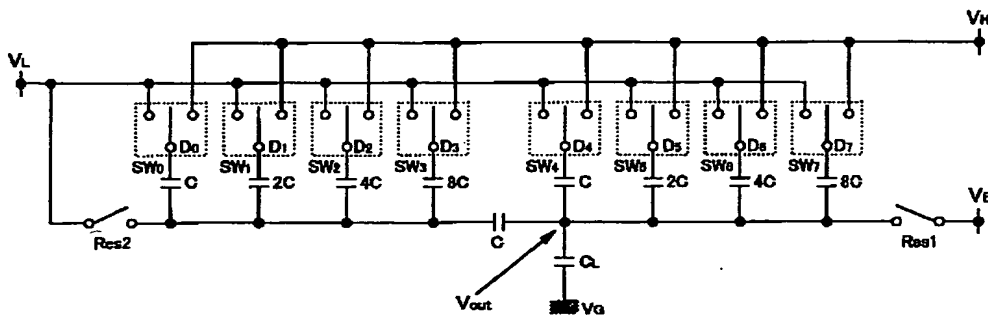
$D_0 \sim D_{n-1}$ デジタルデータ

C 単位容量

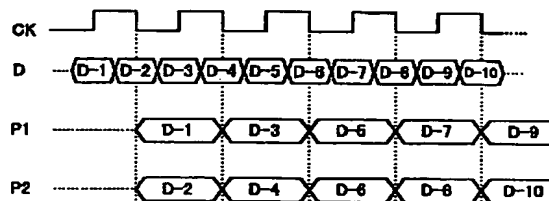
【図 1】



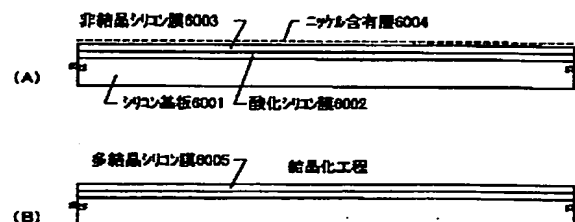
【図 3】



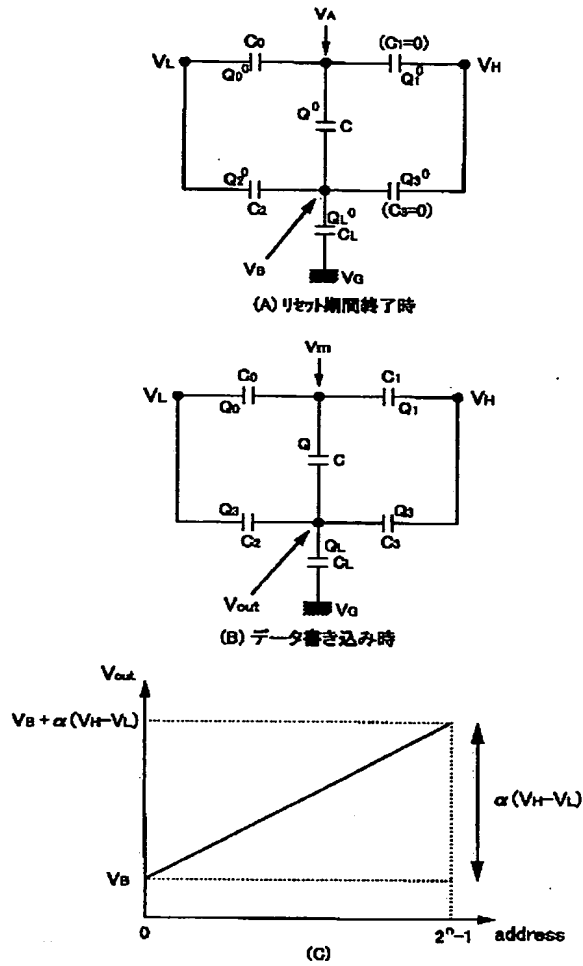
【図 11】



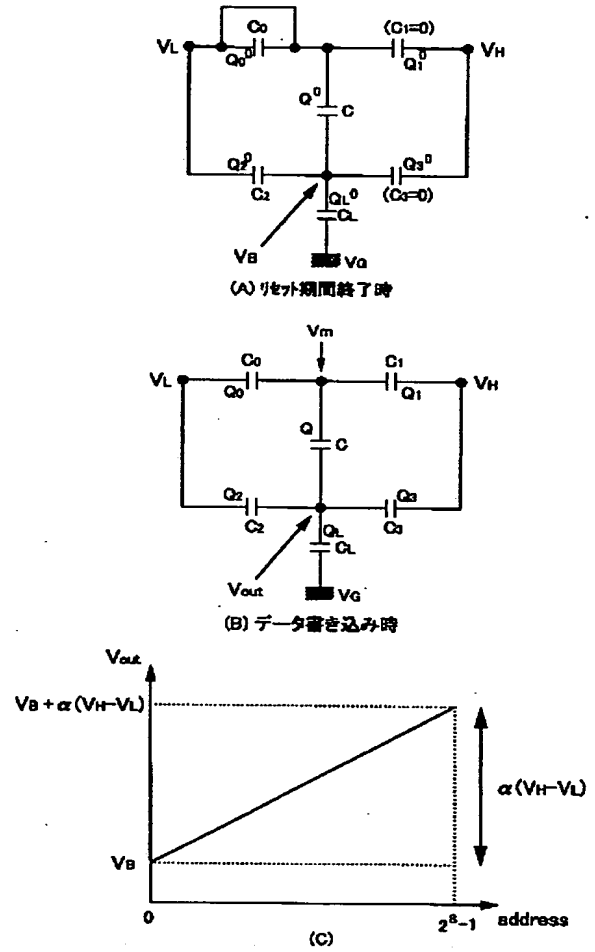
【図 18】



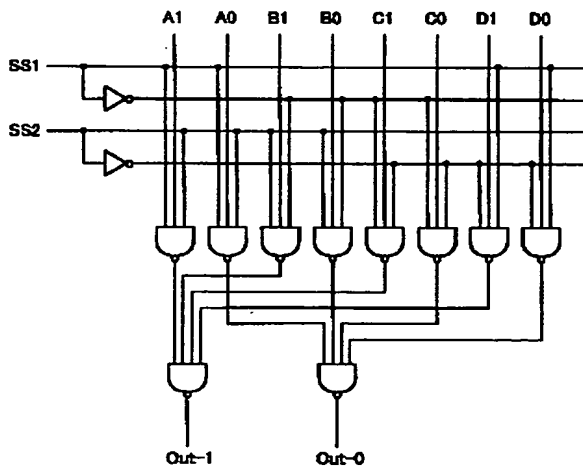
【図 2】



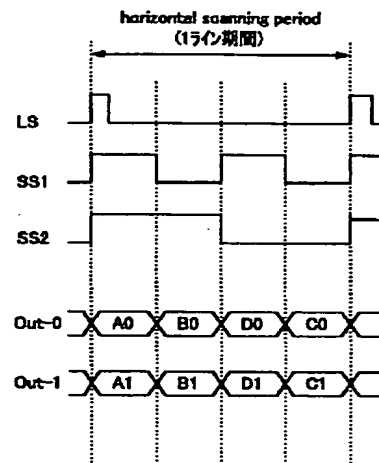
【図 4】



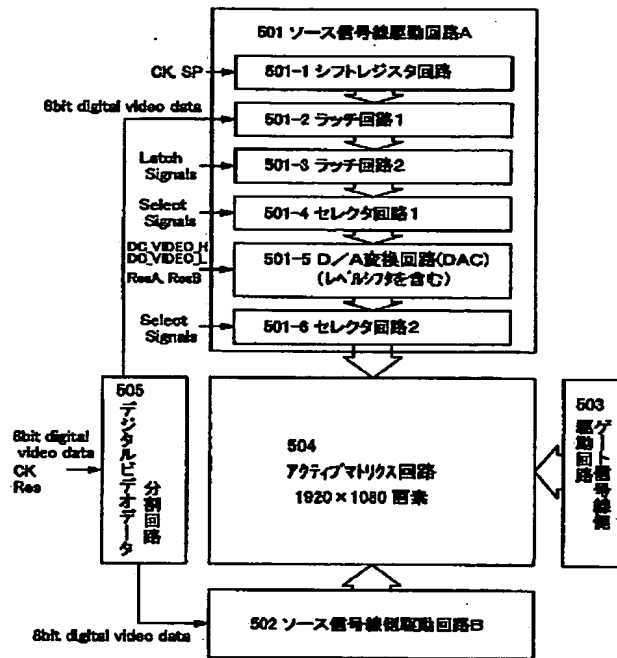
【図 6】



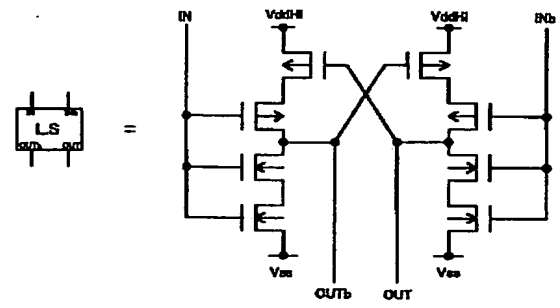
【図 7】



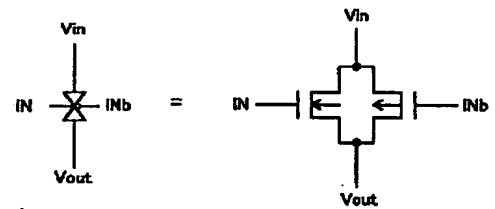
【図5】



【図9】

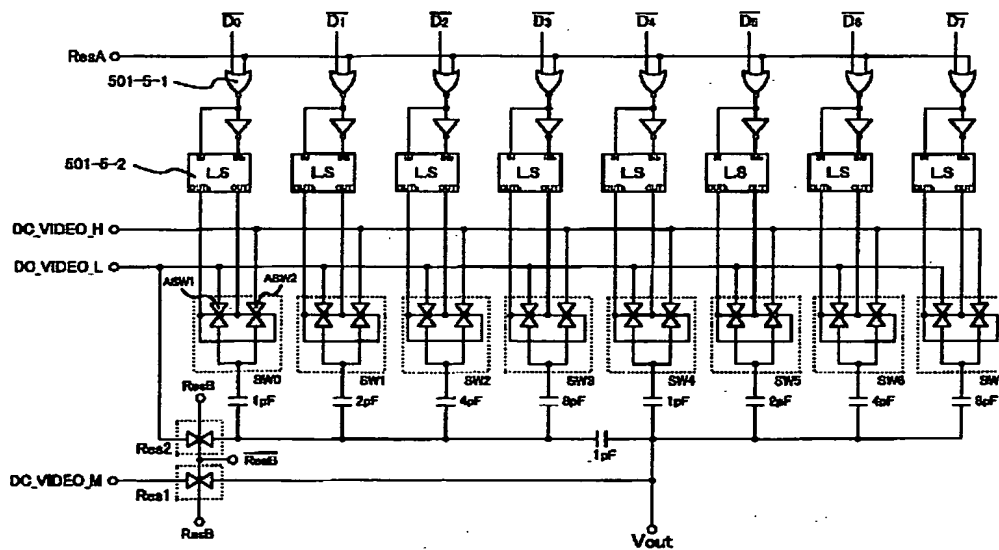


(A) レベルシフタ (LS)

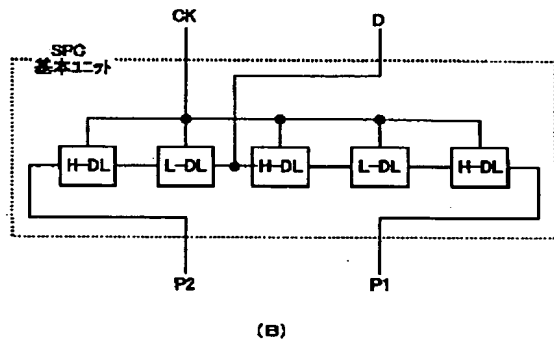
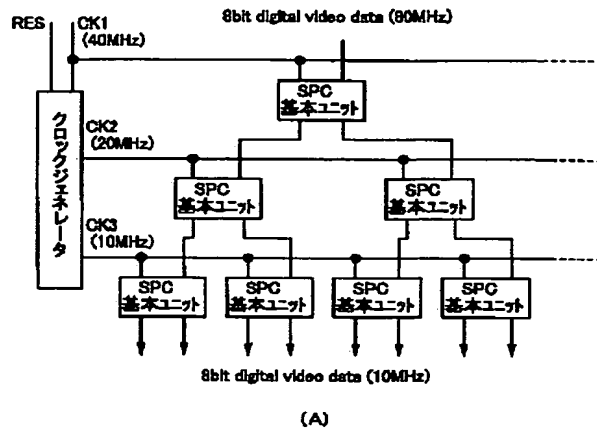


(B) アナログスイッチ

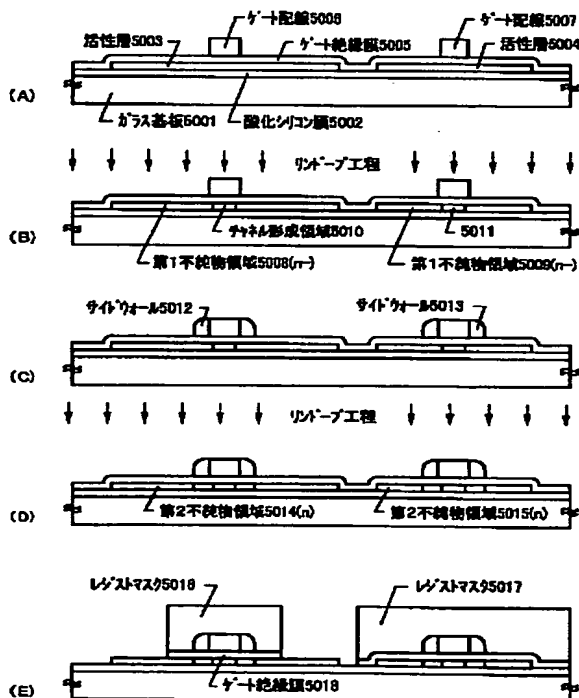
【図8】



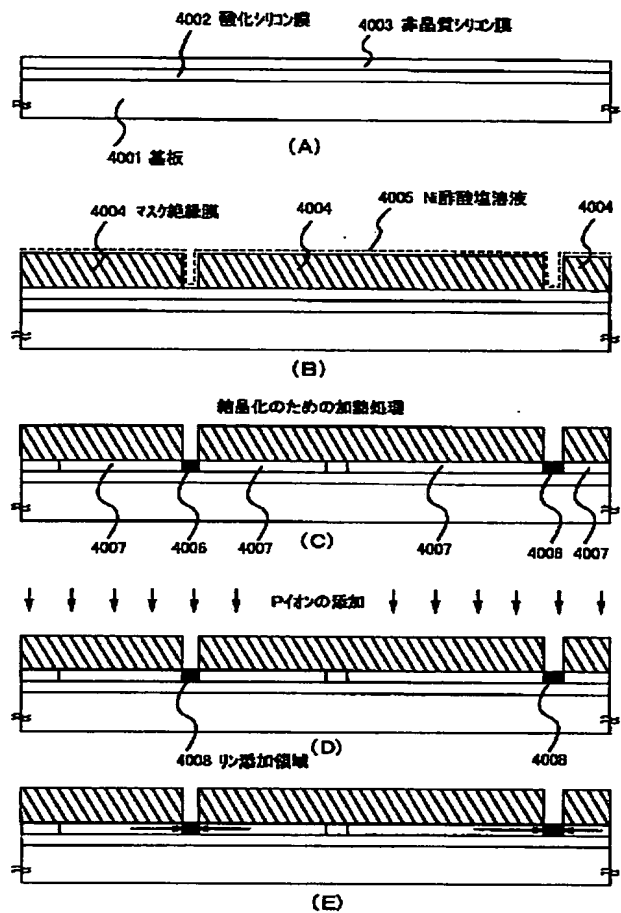
【図10】



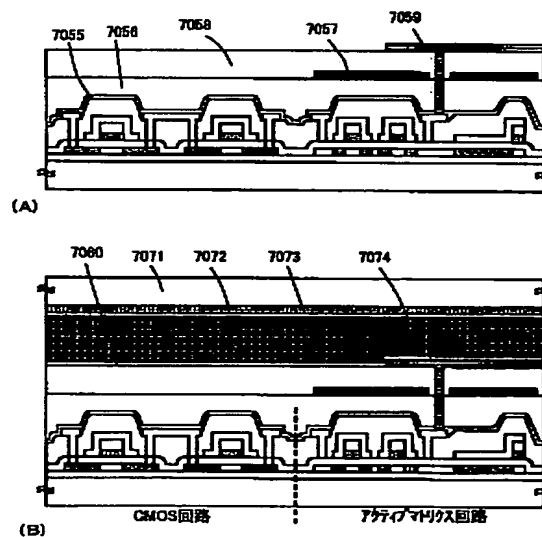
【図16】



【図12】

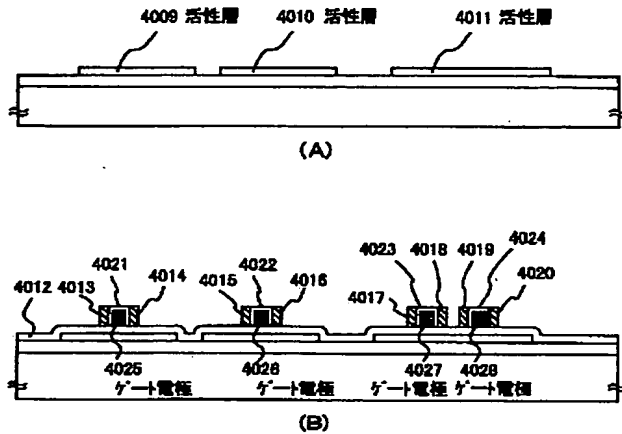


【図20】

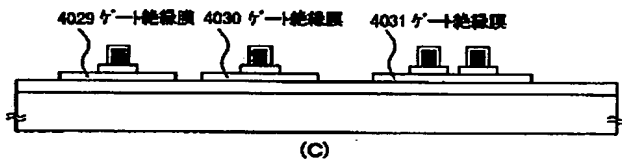


7055:パッシベーション膜、7058:第2の層間絶縁膜、7057:遮光膜、7059:第3の層間絶縁膜、7059:遮光膜、7060、7073:絶縁膜、7071:対向基板、7072:対向電極、7074:液晶

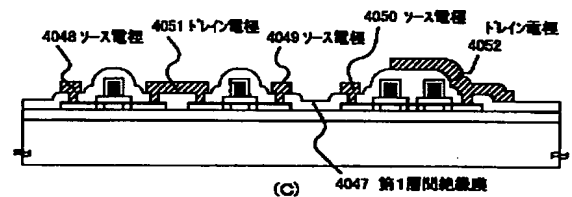
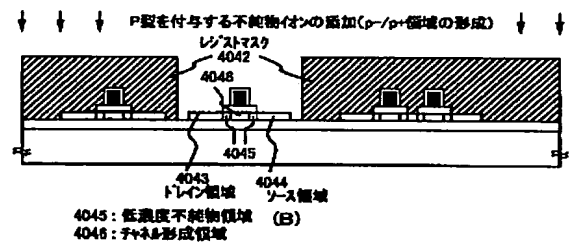
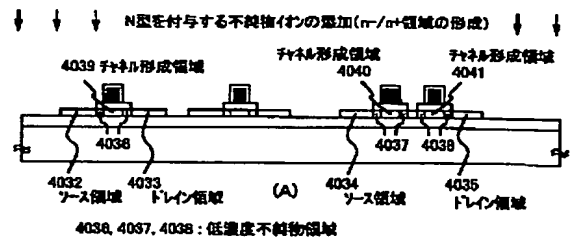
【図13】



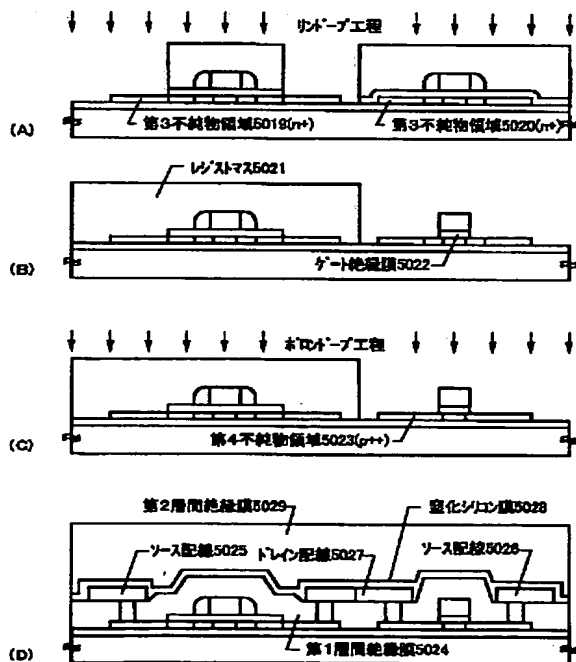
4013~4020 : 多孔性陽極酸化膜 4021~4024 : 無孔性陽極酸化膜



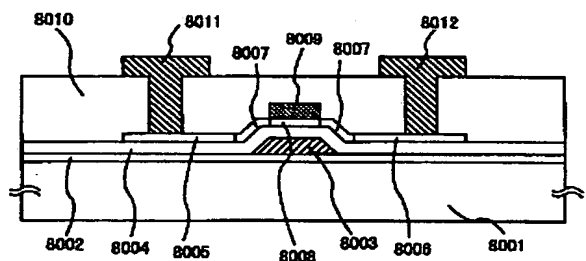
【図14】



【図17】

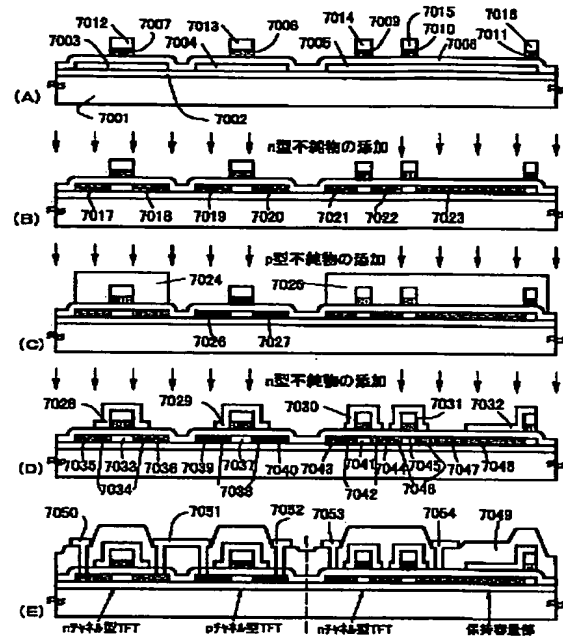


【図21】

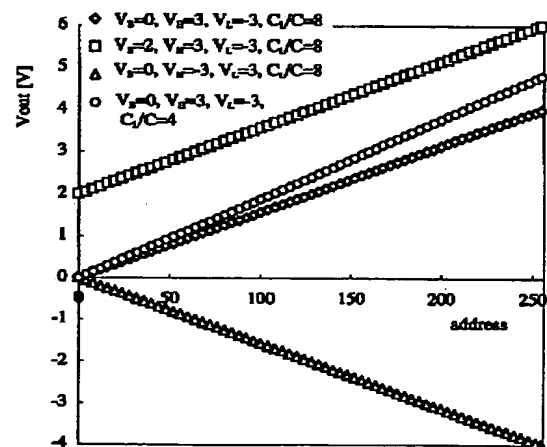


8001 基板	8007 低濃度不純物領域(LDD領域)
8002 酸化シリコン膜	8008 チャンネル形成領域
8003 ゲート電極	8009 チャンネル保護膜
8004 ゲート絶縁膜	8010 層間絶縁膜
8005 ソース領域	8011 ソース電極
8006 ドレイン領域	8012 ドレイン電極

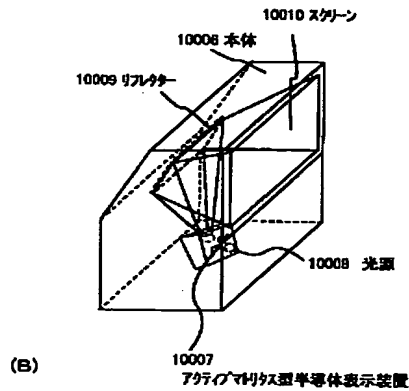
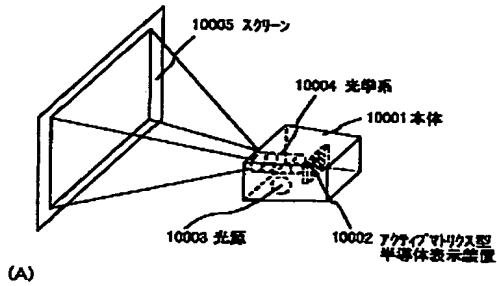
【图 19】

[illegible]

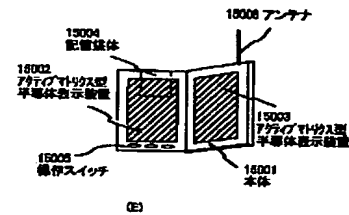
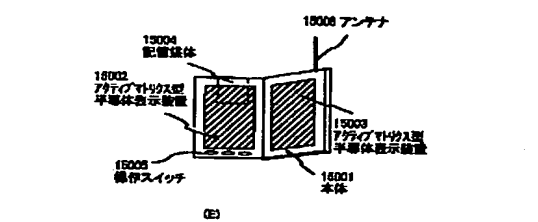
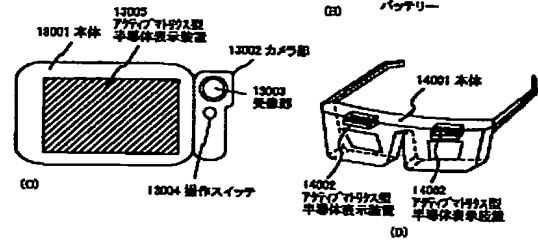
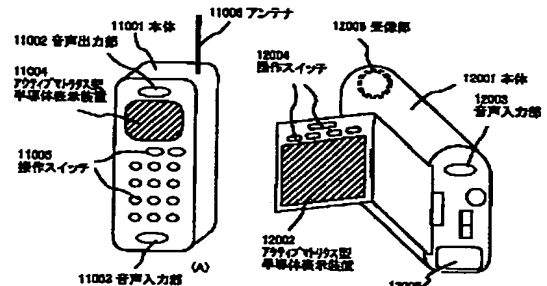
【图 29】



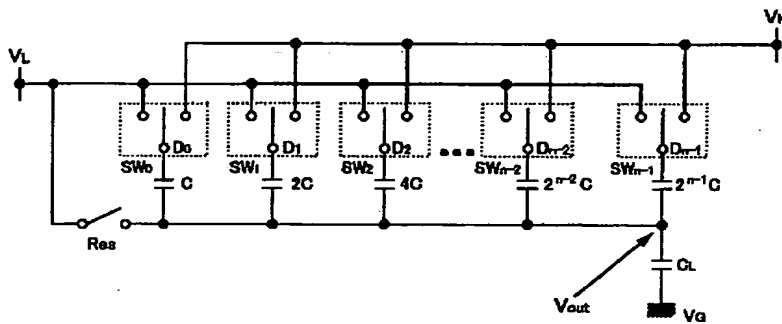
【図 23】



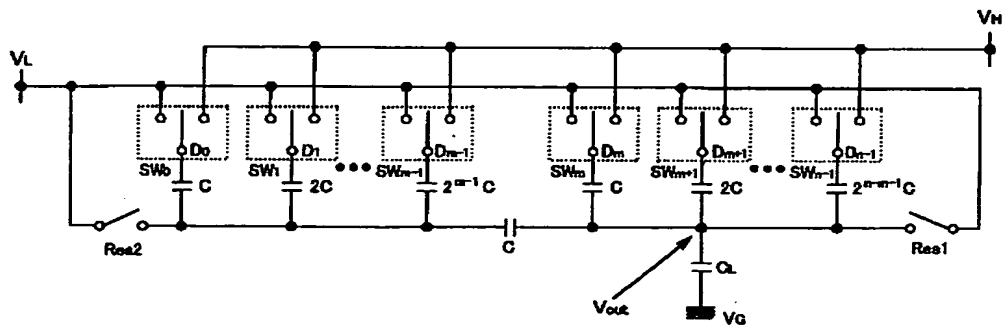
【図 24】



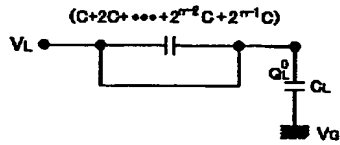
【図 25】



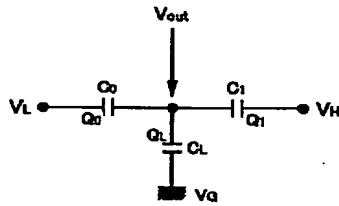
【図 27】



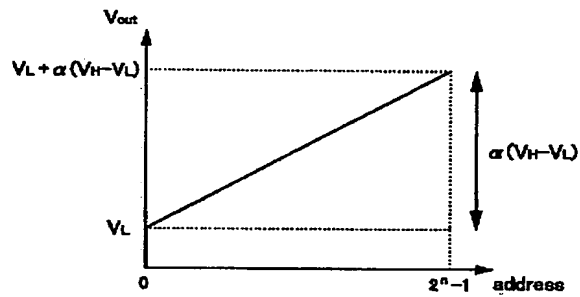
【図26】



(A) リセット期間終了直後

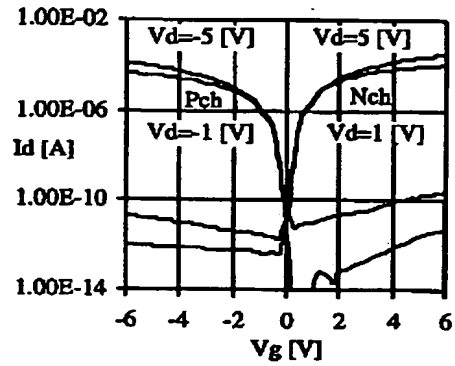


(B) データ書き込み期間

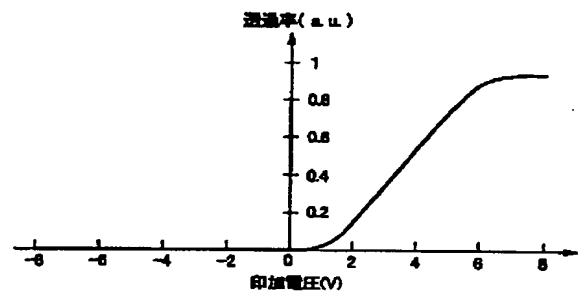


(C)

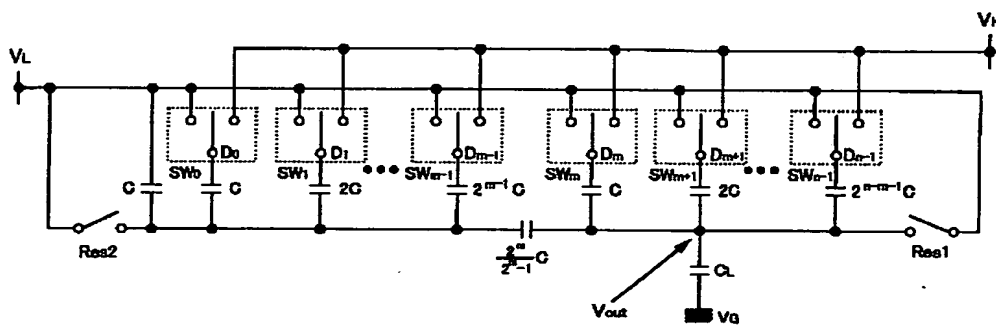
【図30】



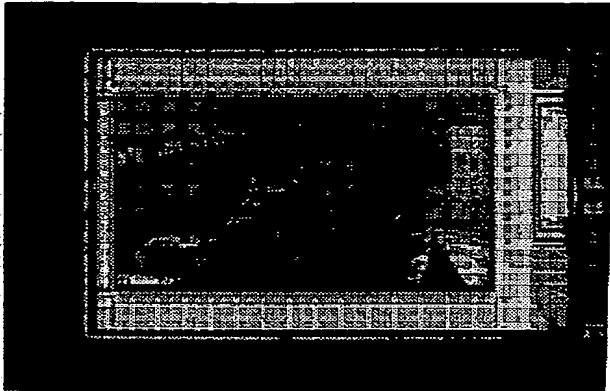
【図39】



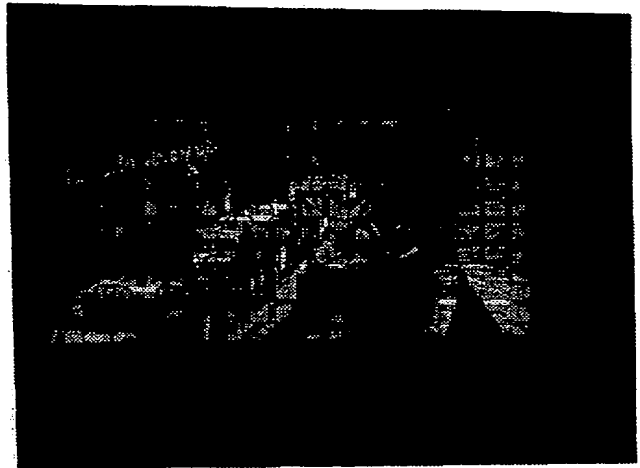
【図28】



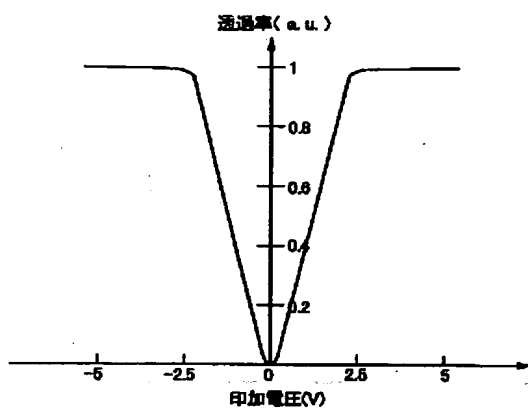
【図31】



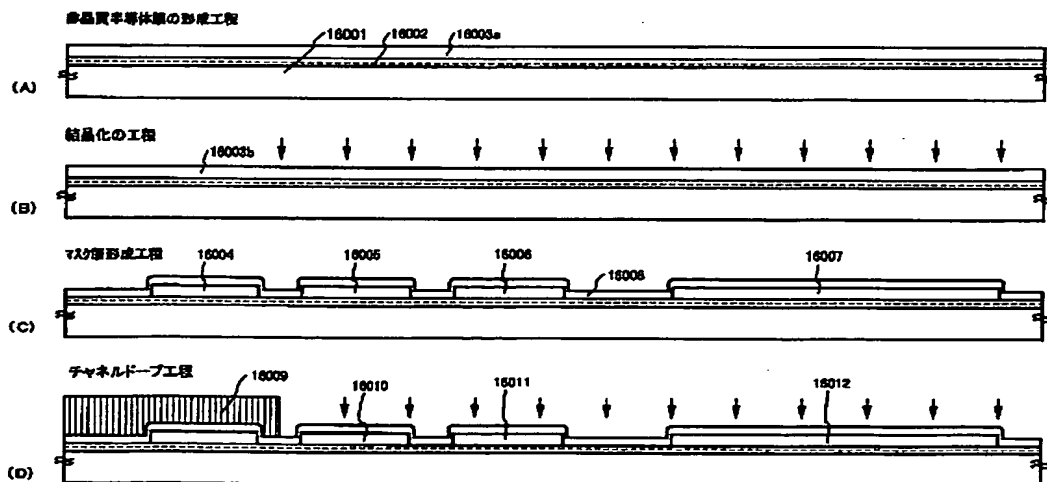
【図32】



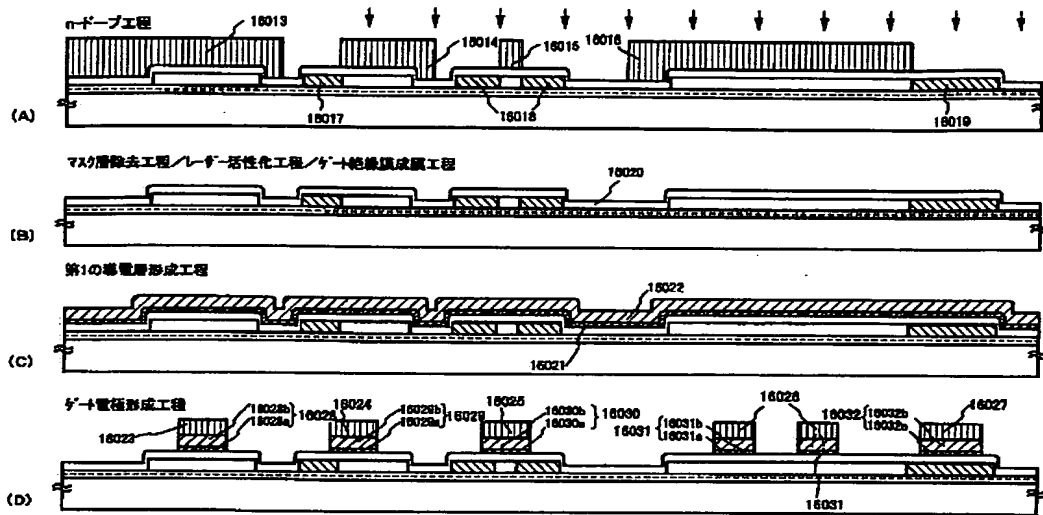
【図33】



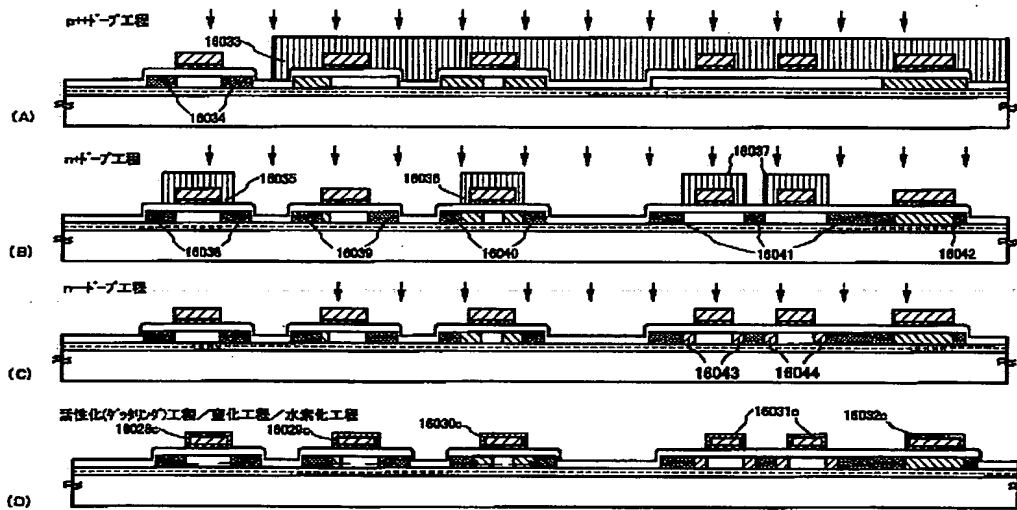
【図34】



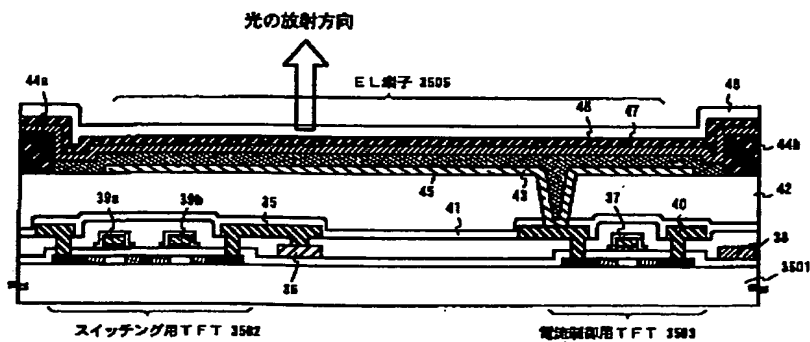
【図35】



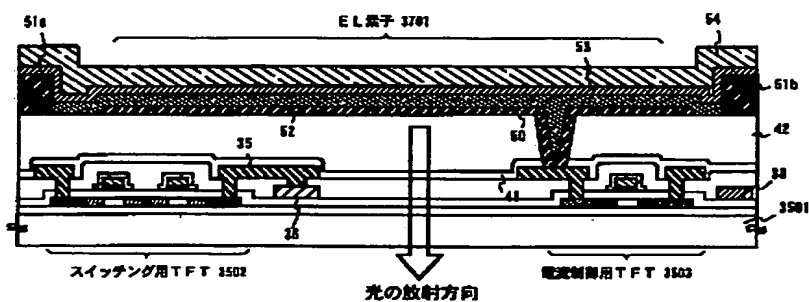
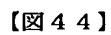
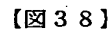
【図36】



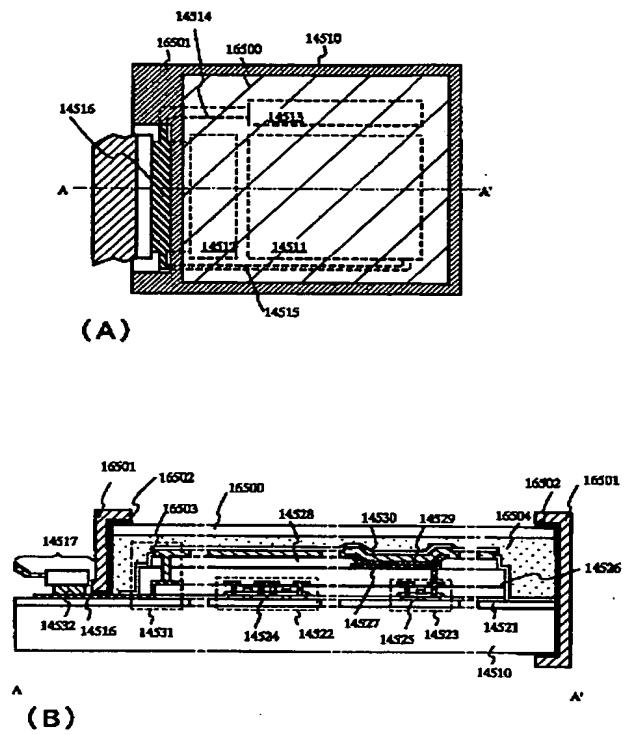
【図42】



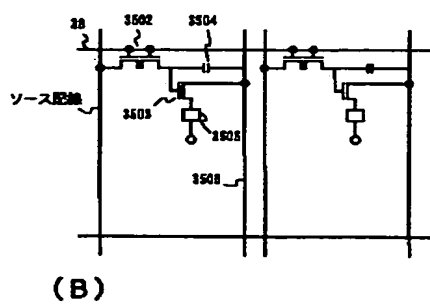
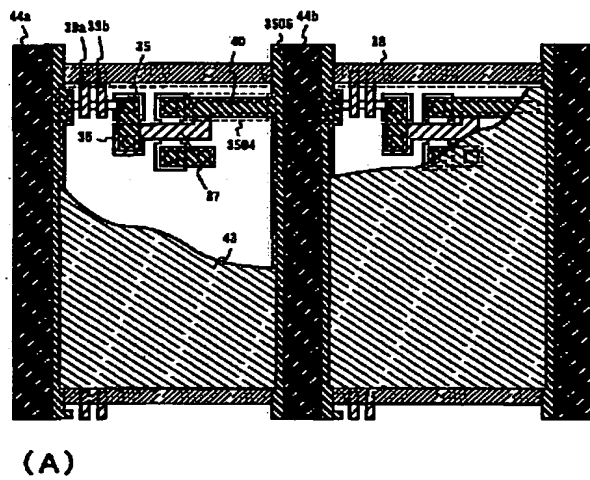
断面図形成工程／エンボス形成工程／配線形成工程
 パッケージ形成工程



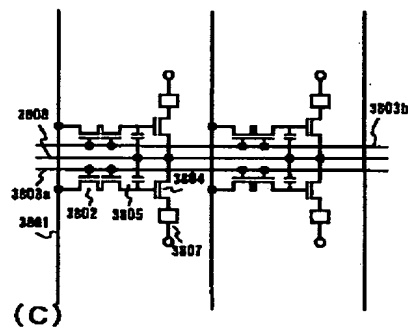
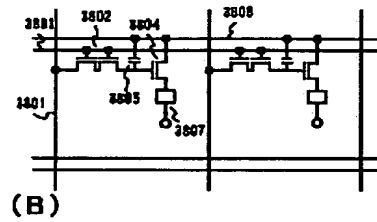
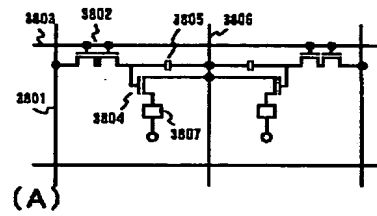
【图 4 1】



【图 4 3】



【図 45】



フロントページの続き

(72)発明者 長尾 祥

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内